

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 5月14日

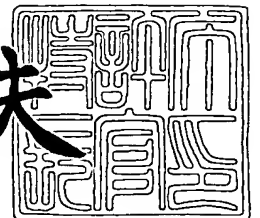
出願番号
Application Number: 特願2003-135650
[ST. 10/C]: [JP 2003-135650]

出願人
Applicant(s): 太陽誘電株式会社

2004年 1月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3002909

【書類名】 特許願

【整理番号】 JP03-0001

【提出日】 平成15年 5月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 03/28

【発明者】

【住所又は居所】 東京都台東区上野 6 丁目 1 6 番 2 0 号 太陽誘電株式会
社内

【氏名】 浅沼 和夫

【発明者】

【住所又は居所】 東京都台東区上野 6 丁目 1 6 番 2 0 号 太陽誘電株式会
社内

【氏名】 今井 庸二

【発明者】

【住所又は居所】 東京都台東区上野 6 丁目 1 6 番 2 0 号 太陽誘電株式会
社内

【氏名】 保坂 康夫

【特許出願人】

【識別番号】 000204284

【氏名又は名称】 太陽誘電株式会社

【代理人】

【識別番号】 100103528

【弁理士】

【氏名又は名称】 原田 一男

【電話番号】 045-290-2761

【手数料の表示】

【予納台帳番号】 076762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0305175

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源装置

【特許請求の範囲】

【請求項 1】

入力電源からの入力電圧を所定の電圧に変換する電力変換回路と、
前記電力変換回路に接続され、前記入力電圧の変動を抑制する入力変動制御回路と、

前記電力変換回路の出力を平滑して負荷に供給する LC フィルタと、
前記 LC フィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路と、

を具備し、

前記電力変換回路の伝達関数と前記 LC フィルタ及び負荷の伝達関数と前記制御回路の伝達関数とから求められる一巡伝達関数が位相トラップを備えた周波数特性を実現することを特徴とする電源装置。

【請求項 2】

前記入力変動制御回路は、前記電力変換回路の出力を電圧時間積一定に制御することを特徴とする請求項 1 記載の電源装置。

【請求項 3】

前記位相トラップを備えた周波数特性は、ゲイン余裕を持たない周波数特性であることを特徴とする請求項 1 記載の電源装置。

【請求項 4】

前記位相トラップを備えた周波数特性は、位相余裕とゲイン余裕のうち位相余裕のみを有する周波数特性であることを特徴とする請求項 1 記載の電源装置。

【請求項 5】

前記位相トラップを備えた周波数特性は、位相が -180° となる周波数でゲインが 0 デシベルを超える周波数特性であることを特徴とする請求項 1 記載の電源装置。

【請求項 6】

前記位相が -180° となる周波数は、前記 LC フィルタの共振周波数からゲ

イン交差周波数までの周波数帯域内に設定されることを特徴とする請求項 5 記載の電源装置。

【請求項 7】

前記位相トラップを備えた周波数特性は、最も位相が遅れる周波数でゲインが 0 デシベルを超える周波数特性であることを特徴とする請求項 1 記載の電源装置。

【請求項 8】

前記位相が最も遅れる周波数が、前記 LC フィルタの共振周波数からゲイン交差周波数までの周波数帯域内に設定されることを特徴とする請求項 7 記載の電源装置。

【請求項 9】

入力電源からの入力電圧を所定の電圧に変換する電力変換回路と、
前記電力変換回路に接続され、前記入力電圧の変動を抑制する入力変動制御回路と、
前記電力変換回路の出力を平滑して負荷に供給する LC フィルタと、
前記 LC フィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路と、
を具備し、
前記制御回路は P I D 制御機能を有し、前記 LC フィルタの共振周波数より高い周波数で積分制御要素を適用することを特徴とする電源装置。

【請求項 1 0】

前記制御回路が、さらに、ゲイン交差周波数より低い周波数で微分制御要素を適用することを特徴とする請求項 9 記載の電源装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電源装置に関し、より詳しくは電源装置におけるフィードバック制御技術に関する。

【0 0 0 2】

【従来の技術】

電源装置の応答性を向上させる技術として下記のような特許文献 1 乃至 3 が知られている。これらの技術は電源装置に制御理論を適用したものであり、高速応答を得る手段として有効な技術である。

【0 0 0 3】**【特許文献 1】**

特許第 3 2 0 9 2 4 9 号

【特許文献 2】

米国特許第 5 8 4 4 4 0 3 号

【特許文献 3】

米国特許第 5 5 8 3 7 5 2 号

【0 0 0 4】**【発明が解決しようとする課題】**

しかし、上記特許文献に開示された技術では、虚数型の P I D（比例要素：Proportional/積分要素：Integral/微分要素：Differential）制御を想定しているため、設計が難しく制御回路として実現した際に素子が多くなる等の課題があった。

【0 0 0 5】

そこで、本発明は、実用性の高い構成で高速応答を実現するのに有効な電源装置を提供することを目的とする。

【0 0 0 6】**【課題を解決するための手段】**

本発明の第 1 の態様に係る電源装置は、入力電源からの入力電圧を所定の電圧に変換する電力変換回路と、電力変換回路に接続され、入力電圧の変動を抑制する入力変動制御回路と、電力変換回路の出力を平滑して負荷に供給する L C フィルタと、L C フィルタの出力電圧に基づいて電力変換回路を制御する制御回路とを具備し、電力変換回路の伝達関数と L C フィルタ及び負荷の伝達関数と制御回路の伝達関数とから求められる一巡伝達関数が位相トラップを備えた周波数特性を実現するものである。

【0 0 0 7】

なお、入力変動制御回路は、電力変換回路の出力を電圧時間積一定に制御するようにしてもよい。

【0 0 0 8】

さらに、上記入力変動制御回路は、入力電圧に応じて電圧上昇の傾斜が変化する第1の信号を生成する回路と、制御回路からの第2の信号と第1の信号とを比較して、第1の信号の電圧が第2の信号以上になった場合に第3の信号を出力する回路と、クロック信号に応じてオンになり第3の信号に応じてオフになる駆動信号を生成する回路とを有するようにしてもよい。

【0 0 0 9】

なお、位相トラップを備えた周波数特性は、ゲイン余裕を持たない周波数特性である場合もある。また、位相トラップを備えた周波数特性は、位相余裕とゲイン余裕のうち位相余裕のみを有する周波数特性である場合もある。さらに、位相トラップを備えた周波数特性は、位相が -180° となる周波数でゲインが0デシベルを超える周波数特性である場合もある。なお、位相が -180° となる周波数は、LCフィルタの共振周波数からゲイン交差周波数までの周波数帯域内に設定される場合もある。

【0 0 1 0】

また、位相トラップを備えた周波数特性は、最も位相が遅れる周波数でゲインが0デシベルを超える周波数特性である場合もある。この位相が最も遅れる周波数が、LCフィルタの共振周波数からゲイン交差周波数までの周波数帯域内に設定される場合もある。

【0 0 1 1】

本発明の第2の態様に係る電源装置は、入力電源からの入力電圧を所定の電圧に変換する電力変換回路と、電力変換回路に接続され、入力電圧の変動を抑制する入力変動制御回路と、電力変換回路の出力を平滑して負荷に供給するLCフィルタと、LCフィルタの出力電圧に基づいて電力変換回路を制御する制御回路とを具備し、制御回路はPID制御機能を有し、LCフィルタの共振周波数より高い周波数で積分制御要素を適用するものである。

【0 0 1 2】

なお、上で述べた制御回路が、さらに、ゲイン交差周波数より低い周波数で微分制御要素を適用するようにしてもよい。

【0 0 1 3】

なお、以下でも具体的に説明するが、本発明の第 1 及び第 2 の態様における伝達関数を実現する回路は多数存在し、いずれであってもよい。また、上で述べた入力変動制御回路を実現する回路は多数存在し、いずれであってもよい。

【0 0 1 4】

【発明の実施の形態】

[本発明の概要]

電源装置において高速応答性を確保するためには、図 1 に示すような一巡伝達関数の周波数特性を制御器により実現するのが効果的と考えられている。図 1 の上段はゲインの周波数特性を示しており、下段は位相の周波数特性を示している。このようなゲイン及び位相の周波数特性では、ゲイン交差周波数（ゲインが 0 dB となる周波数）における、 -180° からの位相角を表す位相余裕を十分（例えば 45° から 60° 程度）確保する一方で、位相が -180° 遅れた際におけるマイナス側のゲイン量であるゲイン余裕については考慮していない。安定性については位相余裕のみが確保されていれば十分であることが分かっている。

【0 0 1 5】

また、位相の周波数特性においては、点線 2 0 0 2 で示したように、ゲインが 0 dB 以上の状態で位相が大幅に遅れるという位相トラップ（以下、「トラップポイント」という）を設ける。トラップポイントでは、図 1 に示したように、位相は -180° を下回る場合もある。このようなトラップポイントを設けることにより、点線 2 0 0 0 で示すようにゲインを高傾斜化することができるため、同じゲイン交差周波数で設計した制御器より高速応答が可能となる。一般に、制御系の応答性を向上するには、ゲイン交差周波数を高周波化すればよいが、スイッチング電源の場合にはゲイン交差周波数がスイッチング周波数を超えることができない（理論的にはゲイン交差周波数はスイッチング周波数の $1/2$ 以下）という制約があるため、ゲイン交差周波数の上限が定まった状態において、いかに応

答性を向上できるかが大きなポイントとなる。この点において、図1に示した特性を実現できれば、ゲイン交差周波数を挙げることなく高速応答が可能となるので、効果的である。

【0016】

但し、図1に示したボード線図は、ある一定の状態における周波数特性であり、実際には入力変動や負荷変動などの変動要素があるため、常に図1のような周波数特性を維持できるとは限らない。負荷変動が生じた場合における周波数特性の変動の一例を図2に示す。図2の上段はゲインの周波数特性を示しており、下段は位相の周波数特性を示している。例えば負荷抵抗を 25Ω とした場合にはゲイン曲線は曲線2010となり、 1.25Ω とした場合にはゲイン曲線は曲線2012となる。このように負荷抵抗が大きくなると共振特性が大きく現れるようになる。一方、負荷抵抗を 25Ω とした場合には位相曲線は曲線2014となり、 1.25Ω とした場合には位相曲線は曲線2016となる。このように負荷抵抗が大きくなるとトラップポイントの深さは深くなる。しかし、ゲイン交差周波数はほとんど変わらず、ゲイン交差周波数における位相遅れもほとんど変わらないため、位相余裕もほとんど変化しない。従って、負荷変動は安定性についてはあまり影響がない。

【0017】

しかし、入力変動が生じた場合には大きな影響がある。入力変動が生じた場合における周波数特性の変動の一例を図3に示す。図3の上段はゲインの周波数特性を示しており、下段は位相の周波数特性を示している。例えば入力電圧を4Vとした場合にはゲイン曲線は曲線2020となり、入力電圧を12Vとした場合にはゲイン曲線は曲線2022となる。このように多少形状は変形するが、入力電圧が下がるとゲイン曲線はゲインが下がる方向に平行移動する。従って、入力電圧が下がれば、ゲイン交差周波数も下がることになる。一方、位相曲線についてはほとんど変化していない。よって、入力電圧が12Vの時の位相余裕2024は約 45° となっているが、入力電圧が4Vの時の位相余裕2026は約 25° となってしまっている。ゲイン交差周波数が下がったため、位相曲線に設けられたトラップポイントの谷を下ることになってしまったためである。

【0018】

以上のように周波数特性の分析において入力変動が安定性に多く影響することが分かる。

【0019】

図1のような周波数特性を実現する場合に入力変動が安定性に大きく影響することは、ブロック線図からも分かる。図4に図1のような周波数特性を実現するためのブロック線図を示す。出力電圧 V_o は負帰還されて基準電圧 V_{ref} との差分($V_{ref}-V_o$)が計算される。この($V_{ref}-V_o$)は制御器の伝達関数 $G(2100)$ に入力される。伝達関数 $G(2100)$ については以下で詳しく述べる。伝達関数 $G(2100)$ の出力は電力変換部の伝達関数 $K_p(2102)$ に入力される。伝達関数 $K_p(2102)$ は、周波数特性のない比例要素である。なお、 V_i を入力電源の入力電圧とし、 V_p をPWM制御を行うために用いられる三角波のピーク電圧とすると、 $K_p=V_i/V_p$ と示すことができる。伝達関数 $K_p(2102)$ の出力は、LCフィルタの伝達関数 2104 に入力され、伝達関数 2104 の出力が、出力電圧 V_o となる。伝達関数 2104 は、LCフィルタに用いられているコンデンサのキャパシタンス C と、チョークコイルのインダクタンス L と、負荷抵抗の抵抗値 R_o とから、図4に示されるような形になる。

【0020】

負荷変動が生じた場合というのは、伝達関数 2104 の R_o の値が変動することを意味する。 R_o の値が変動すると、2次の伝達関数の分母の1次項の係数が変動することになるため、減衰係数 ζ が変動することになる。 R_o が減少すると ζ が大きくなるため、共振特性が弱くなる。一方、 R_o が増加すると ζ が小さくなるため、共振特性が強くなる。このことは図2に関連して述べた事項と同じである。一方、入力変動が生じた場合というのは、伝達関数 $K_p(2102)$ が変動することになる。上で述べたように、 $K_p=V_i/V_p$ と表されるため、入力電圧 V_i が増加すれば伝達関数 $K_p(2102)$ も増加し、入力電圧 V_i が減少すれば伝達関数 $K_p(2102)$ も減少する。但し、伝達関数 K_p は周波数特性を有していないので、 K_p の変動は全体の周波数特性を平行にシフトさせる効果があり、また位相特性は変化しない。

【0021】

以上述べたように電源装置の高速応答性を確保する点において、図1に示したようなトラップポイントを有する、一巡伝達関数の周波数特性を実現することは非常に重要である。しかし、トラップポイントを設けるような周波数特性を実現すると、トラップポイントが存在するため入力変動に対して安定性に大きな問題を抱えることになる。従って、図1のような一巡伝達関数の周波数特性を実現する上では、入力変動に対する措置が特に重要となる。

【0022】

以上のような問題に鑑み、本発明では、図1に示したような一巡伝達関数の周波数特性を実現し、入力変動に対処可能な電源装置を提供する。

【0023】**[実施の形態1]**

本発明の第1の実施の形態に係る電源装置10の回路構成を図5に示す。電源装置10は、降圧型の電源装置であって、LCフィルタ部1と、PID制御器である制御部2と、パルス制御部300を含む電力変換部3とから構成される。

【0024】

制御部2は、抵抗R1乃至R4と、キャパシタC1及びC2と、増幅器21と、基準電圧電源22とを含む。抵抗R1及びキャパシタC1は、LCフィルタ部1の負荷Roの正極側の端子に接続されている。すなわち、出力電圧Voが入力される。キャパシタC1と抵抗R2は直列に接続されており、キャパシタC1及び抵抗R2は抵抗R1と並列に接続されている。従って、その一端がキャパシタC1と接続している抵抗R1の他端は、抵抗R2に接続されている。また、抵抗R1及びR2は、増幅器21の負極側入力端子に接続されており、さらに抵抗R3及びキャパシタC2に接続されている。キャパシタC2と抵抗R4は直列に接続されており、キャパシタC2及び抵抗R4は抵抗R3と並列に接続されている。従って、その一端がキャパシタC2と接続している抵抗R3の他端は、抵抗R4と接続されている。また、抵抗R3及びR4は増幅器21の出力端子に接続されている。増幅器21の正極側の入力端子は基準電圧電源22の正極側端子に接続されており、基準電圧電源22の負極側端子は接地されている。なお、制御部2

の出力、すなわち増幅器 21 の出力は V_e である。

【0025】

電力変換部 3 は、コンパレータ 31 と積分器 32 と SR (Set Reset) フリップフロップ (FF) 37 とクロック生成器 38 とドライブ回路 33 とを含むパルス制御部 300 と、ダイオード 34 と、MOSFET 35 と、入力電源 36 とから構成される。積分器 32 は、演算器 32a と、キャパシタ 32b と、スイッチ 32c とを含む。コンパレータ 31 の負極側端子は、増幅器 21 の出力端子に接続されている。すなわち、制御部 2 の出力 V_e がコンパレータ 31 の負極側端子に入力される。コンパレータ 31 の正極側端子は、演算器 32a の出力が接続されている。すなわち、コンパレータ 31 の正極側端子には増幅器 32 の出力 V_c が入力される。コンパレータ 31 の出力端子は、SR-FF 37 の R 端子に接続される。クロック生成器 38 は SR-FF 37 の S 端子に接続される。SR-FF 37 の Q 端子はドライブ回路 33 に接続されている。ドライブ回路 33 の出力は、MOSFET 35 のゲートに接続される。また、SR-FF 37 の Q 反転 (\bar{Q}) 端子はスイッチ 32c のオンオフを制御するようになっている。

【0026】

MOSFET 35 のドレインは、入力電源 36 の正極側端子に接続されており、ソースはダイオード 34 のカソード及びチョークコイル L に接続されている。入力電源 36 の負極側端子は、ダイオード 34 のアノードとキャパシタ C と負荷 R_o の負極側端子とに接続される。なお、MOSFET 35 のソース、ダイオード 34 のカソード及びチョークコイル L は、演算器 32a の入力端子、キャパシタ 32b 及びスイッチ 32c に接続されている。演算器 32a の出力端子は、キャパシタ 32b の他端、スイッチ 32c の他端及びコンパレータ 31 の正極側端子に接続されている。なお、ダイオード 34 のカソードーアノード間の電圧を V とする。

【0027】

LC フィルタ部 1 は、チョークコイル L と、キャパシタ C と、負荷 R_o とが含まれる。その一端が MOSFET 35 のソース、ダイオード 34 のカソード及び積分器 32 に接続されているチョークコイル L の他端は、キャパシタ C 及び負荷

R_o の正極側端子に接続されている。上で述べたように、その一端がチョークコイル L 及び負荷 R_o の正極側端子に接続されたキャパシタ C の他端は、負荷 R_o の負極側端子とダイオード 34 のアノードと入力電源 36 の負極側端子と接続されている。

【0028】

図5に示した電源装置 10 の動作を簡単に説明すると、制御部 2 は負荷 R_o に現れる出力電圧 V_o と基準電圧 V_{ref} に基づいて制御信号 V_e を生成する。この制御信号 V_e はコンパレータ 31 において積分器 32 から出力される信号 V_c と比較される。SR-FF 37 は、クロック生成器 38 からのクロック信号の立ち上がりに応じてドライブ回路 33 にオン信号を出力する。一方、SR-FF 37 は、クロック生成器 38 からのクロック信号の立ち上がりに応じてスイッチ 32c をオフする信号を出力する。スイッチ 32c がオフになると、積分器 32 は積分を開始し、積分結果は信号 V_c としてコンパレータ 31 に出力される。積分のスピードは、以下でも詳細に述べるが入力電圧 V_i に応じて変化する。コンパレータ 31 は、電圧 V_c が電圧 V_e 以上となるとリセット信号を SR-FF 37 に出力する。このリセット信号に応じて SR-FF 37 は、ドライブ回路 33 にオフ信号を出力する。また、SR-FF 37 は、スイッチ 32c をオンする信号を出力する。スイッチ 32c がオンになると、積分器 32 は積分をキャンセルする。このような処理がクロック生成器 38 からのクロック信号に応じて繰り返される。

【0029】

ドライブ回路 33 は、SR-FF 37 からのオン信号又はオフ信号に応じて MOSFET 35 をオン又はオフする。入力電源 36 の入力電圧 V_i は、MOSFET 35 のオン及びオフに従って変換され、ダイオード 34 とチョークコイル L 及びキャパシタ C とにより構成される LC フィルタとにより平滑化されて負荷 R_o に出力電圧 V_o として出力される。これにより出力電圧 V_o を基準電圧 V_{ref} に一致するよう安定的な制御がなされる。

【0030】

図5に示すような制御部 2 の伝達関数 G は、以下のように表される。

【数 1】

$$\frac{N_2 s^2 + N_1 s + N_0}{s^2 + D_1 s + D_0} \quad (1)$$

但し、 N_0 、 N_1 、 N_2 、 D_0 及び D_1 は係数であって、抵抗 R_1 乃至 R_4 及びキャパシタ C_1 及び C_2 との関係は以下のとおりである。

【数 2】

$$N_0 = \frac{R_3}{R_1 R_2 C_1 C_2 (R_3 + R_4)}$$

$$N_1 = \frac{R_3 (R_1 C_1 + R_2 C_1 + R_4 C_2)}{R_1 R_2 C_1 C_2 (R_3 + R_4)}$$

$$N_2 = \frac{R_3 R_4 (R_1 + R_2)}{R_1 R_2 (R_3 + R_4)}$$

$$D_0 = \frac{1}{R_2 C_1 C_2 (R_3 + R_4)}$$

$$D_1 = \frac{C_2 (R_3 + R_4) + R_2 C_1}{R_2 C_1 C_2 (R_3 + R_4)}$$

【0 0 3 1】

より具体的には図 6 のテーブルのような回路定数を使用する。すなわち、 $R_1 = 1 \text{ K}\Omega$ 、 $R_2 = 98 \Omega$ 、 $R_3 = 710 \text{ K}\Omega$ 、 $R_4 = 2.2 \text{ K}\Omega$ 、 $C_1 = 2.2 \text{ nF}$ 、 $C_2 = 1 \text{ nF}$ である。そうすると (1) 式は、以下に示すようになる。

【数 3】

$$\frac{24.57s^2 + 2.134 \times 10^7 s + 4.624 \times 10^{12}}{s^2 + 4.670 \times 10^6 s + 6.513 \times 10^9} \quad (2)$$

【0 0 3 2】

なお、電源装置 10 の仕様及び他のパラメータは図 7 に示すものを使用するものとする。すなわち、入力電圧 $V_i = 6 \text{ V}$ 、出力電圧 $V_o = 2.5 \text{ V}$ 、出力電流 I

$\omega = 1 \text{ A}$ (最大)、チョークコイル L のリアクタンス $L = 3 \mu \text{ H}$ 、キャパシタ C のキャパシタンス $C = 9.4 \mu \text{ F}$ 、負荷 $R_o = 2.5 \Omega$ 、基準電圧 $V_{\text{ref}} = 2.5 \text{ V}$ 、電力変換回路のゲイン $K_p = 10$ 倍である。

【0033】

図5の電源回路10をブロック線図で表すと図8のようになる。すなわち、出力電圧 V_o が負帰還されて目標電圧 V_{ref} から引き算され、その結果である ($V_{\text{ref}} - V_o$) が制御部2の伝達関数 G に入力される。この伝達関数 G の出力は、フィードフォワードされた目標電圧 V_{ref} と加算されて、加算結果が電力変換部3の伝達関数 K_p に入力される。伝達関数 K_p の出力は、 LC フィルタ部1の伝達関数 H に入力され、当該伝達関数 H の出力が出力電圧 V_o となる。伝達関数 G は上で述べた(1)式の形になる。本実施の形態では、制御対象となる伝達関数 K_p と伝達関数 H の積は以下のような形であるものとして説明する。

【数4】

$$\frac{\frac{1}{LC} K_p}{s^2 + \frac{1}{CR_o} s + \frac{1}{LC}} \quad (3)$$

これは LC フィルタ部1と電力変換部3を合わせた伝達関数である。図7で述べた数値を代入すると以下のとおりになる。

【数5】

$$\frac{3.546 \times 10^{11}}{s^2 + 4.255 \times 10^4 s + 3.546 \times 10^{10}} \quad (4)$$

一巡伝達関数は、(1)式及び(3)式を掛け合わせたものとなる。より具体的には、(2)式と(4)式を掛け合わせたものとなる。

【0034】

(4)式に基づく制御対象のボード線図を図9に示す。図9では上段にゲインの周波数特性及び下段に位相の周波数特性が示されている。図9ではおよそ $3 \times 10^4 \text{ Hz}$ が LC フィルタ部1の共振周波数である。そして、共振周波数にゲインのピークがあり、位相は共振周波数より前から遅れ始め、共振周波数において

急激に遅れ、最終的には 180° 遅れる。(2)式に基づく制御部2のボード線図を図10に示す。図10でも上段にゲインの周波数特性及び下段に位相の周波数特性が示されている。図10においてゲインはおよそ $5 \times 10^1 \text{ Hz}$ まで57 dBで水平であるが、およそ $5 \times 10^1 \text{ Hz}$ からおよそ $7 \times 10^4 \text{ Hz}$ まではほぼ直線的に減少している。それより高周波帯域では、ゲインは少々上昇している。位相は、およそ $2 \times 10^3 \text{ Hz}$ まで -80° 程度の位相遅れが発生し、それより高周波帯域ではおよそ $3 \times 10^5 \text{ Hz}$ までに $+40^\circ$ まで位相が進む。さらに高周波帯域では再度 0° 程度まで位相遅れが生じている。

【0035】

図9と図10を重ねたボード線図を図11に示す。上段にゲインの周波数特性を示しており、曲線51は(5)式のゲイン周波数特性を、曲線31は(3)式のゲイン周波数特性を示している。本実施の形態では、LCフィルタ部1の共振周波数より高い周波数帯域まで、定常偏差を無くするために低周波数帯域から加えていた積分(I)要素を用いることが特徴である。図11では、実線で示される部分41である。また、図11の下段は位相の周波数特性を示しており、曲線52は(5)式の位相周波数特性を、曲線32は(3)式の位相周波数特性を示している。実線で示される部分42がゲイン周波数特性における部分41に対応しており、一巡伝達関数の位相周波数特性を求めるため曲線52及び曲線32が加算されると位相が最も遅れる周波数帯域(トラップポイント)が生成される。なお、PID制御要素の微分(D)制御要素は、ゲイン交差周波数より低い周波数から適用している。

【0036】

図12に一巡伝達関数のボード線図を示す。上段は図9及び図10のゲイン特性を合成した一巡伝達関数のゲイン周波数特性を、下段は図9及び図10の位相周波数特性を合成した一巡伝達関数の位相周波数特性をそれぞれ示す。図11で示したように、PIDのうち積分(I)要素をLCフィルタ部1の共振周波数より高い周波数帯域まで用いることによって、ゲイン周波数特性の傾斜が大きくなる部分81が生成される。また、位相が最も遅れる周波数を含むトラップポイント82も部分81と同じ周波数帯域で生成される。この周波数帯域において位相

は -180° 以下となり、その際のゲインは0 dBを超えている。すなわち、ゲイン余裕はない。従来の安定性の概念からは許されないが、本実施の形態ではゲイン余裕は無くとも安定的に動作するため問題は無い。一方、ゲインが0 dBとなるゲイン交差周波数における、 -180° からの位相マージンはおよそ 45° で十分な位相余裕が確保されており、これにより安定動作が確保される。なお、トラップポイント82は、LCフィルタ部1の共振周波数において位相が -180° 遅れるという特性と積分(I)制御要素をLCフィルタ部1の共振周波数より高い周波数帯域まで用いることによって生成されるため、位相が最も遅れる周波数はLCフィルタ部1の共振周波数より高い周波数となる。一方、トラップポイント82より高い周波数では位相は進みゲイン交差周波数においてほぼ極大となっている。従って、ゲイン交差周波数は位相が最も遅れる周波数より高い周波数となる。

【0037】

このように位相が急激に遅れる周波数帯域を作成すると当該周波数帯域において図12の部分81に示すようにゲインが急激に減少することになる。このゲインの高傾斜化により、限られた周波数帯域の中でも高ゲインを実現でき、結果として負荷急変時等にも高速応答が可能になる仕組みが達成されることになる。

【0038】

また、制御部2に用いられる抵抗は4つでキャパシタは2つである。後に説明するが抵抗は3つでもよく、上で述べたようなゲイン及び位相の周波数特性を実現するための回路を構成するために決定すべきパラメータの数は比較的少なく、設計がし易いという利点もある。

【0039】

次に、定常状態における電力変換部3の詳細な動作を図13を用いて説明する。なお、縦軸は電圧[V]をあらわし、横軸は時間[t]を表す。最初に、クロック生成器38が生成したクロック信号の立ち上がりに応じて(a)、SR-FF37のQ端子の出力Vdがオンになる。SR-FF37のQ端子の出力Vdがオンになると同時に、Q反転端子の出力がオフになるので、積分器32のスイッチ32cのスイッチがオフになり、積分器32においてLCフィルタ部1への入

力電圧 V の積分動作が開始される (b)。積分器 32 の出力 V_c と制御部 2 の出力 V_e はコンパレータ 31 により比較され、電圧 V_c が電圧 V_e 未満である間はコンパレータ 31 の出力はオフ (ロー) のままであり、SR-FF 37 の R 端子への入力もオフのままとなるので、Q 端子の出力 V_d はオンのままである (c)。電圧 V_c が電圧 V_e 以上となると、コンパレータ 31 の出力がオン (ハイ) となるので、SR-FF 37 の R 端子への入力はオンとなり、Q 端子の出力 V_d はオフとなる (d)。一方、Q 反転端子の出力はオンとなるので、積分器 32 のスイッチ 32c はオンとなり、積分器 32 の出力 V_c の電圧は初期状態に戻る。なお、SR-FF 37 の Q 端子の出力 V_d は、再度クロック生成器 3 が生成したクロック信号の立ち上がりまで、オフのままとなる (e)。以下の動作を繰り返す。なお、積分器 32 の入力、ドライブ回路 33 が MOSFET 35 にオン信号を出力中の MOSFET 35 のソースの電圧であり、基本的に入力電源 36 の入力電圧 V_i である。従って、なお、積分器 32 の積分の結果である出力 V_c の電圧の上昇は、入力電圧 V_i が上昇すれば早くなり、下降すれば遅くなるようになっている。

【0040】

また、入力変動が発生した場合の動作を図 14 を用いて説明する。なお、縦軸は電圧 $[V]$ を表し、横軸は時間 $[t]$ を表す。図 14 の第 1 段目に示すように、入力電源 36 の入力電圧 V_i が徐々に上昇すると、積分器 32 の出力 V_c の電圧上昇は早くなる。すなわち、積分器 32 の出力 V_c の傾斜は、入力電圧 V_i が上昇するにつれて、f、g、h と急になる。そうすると、出力 V_c の電圧が制御部 2 の出力 V_e に達するまでの時間は、SR-FF 37 の Q 端子の出力 V_d のパルス幅 i、j、k で示されるように短くなる。結果として、LC フィルタ部 1 への入力 V は、最下段に示すように、SR-FF 37 の Q 端子の出力 V_d のパルス幅を有し、入力電圧 V_i と同じ電圧を有する信号となる。すなわち、低い V_i の場合にはパルス幅が長くなり、高い V_i の場合にはパルス幅は短くなる。より具体的には、 V_i とパルス幅の積が同一となるように制御される ($V T$ 積一定又は $E T$ 積一定)。これにより、制御部 2 の出力 V_e が変わらなくても出力電圧 V_o は一定に制御されることになり、結果として入力変動に伴う制御部 2 のゲイン変動は抑制さ

れることになる。

【0041】

なお、制御部2の出力 V_e と三角波発生器の出力 V_c とをPWM比較器で比較して、三角波発生器の出力 V_c の電圧が制御部の出力 V_e の電圧以下となった場合にドライブ回路を介してMOSFETをオン又はオフするような従来の電力変換部では、図15に示すように、入力電圧 V_i が上昇すると制御部の出力 V_e の電圧が下がるため、PWM比較器の出力パルスのパルス幅は狭くなり、LCフィルタ部2への入力 V のパルス幅も狭くなる。なお、入力 V の高さ（電圧）は、入力電圧 V_i と同じである。しかし、入力変動が制御部2に影響を及ぼしてしまっているため、図3に示した問題が発生してしまう。

【0042】

このように本実施の形態に拠れば、図3に示したような入力変動によるゲインの周波数特性の変動を回避できるようになり、入力変動に対する安定性の問題は解決される。上でも述べたが、図1に示したような一巡伝達関数の周波数特性を実現する場合には、高速応答性に大きく寄与するトラップポイントが逆に入力変動に対する脆弱性として影響するため、本実施の形態における電力変換部3の構成はその対抗策として非常に重要である。

【0043】

[実施の形態2]

本実施の形態に係る電源装置20の回路構成を図16に示す。図5に示した電源装置10との差はLCフィルタ部1bのキャパシタ C に直列に抵抗 R_c が接続されるようになった点、及び制御部2bの抵抗及びキャパシタの回路定数が図17に示すように変更された点である。従って、接続関係についてはここでは説明しない。なお、抵抗 R_c は、等価直列抵抗とも呼ばれ、キャパシタ C に含まれる抵抗成分を表すものである。従って $R_c=2\text{ m}\Omega$ 程度の大きさになる。後に説明するが、抵抗 R_c は高周波帯域において位相進み補償として作用する。制御部2bの抵抗及びキャパシタの回路定数は、図17に示すように、 $R_1=1\text{ K}\Omega$ 、 $R_2=60\Omega$ 、 $R_3=430\text{ K}\Omega$ 、 $R_4=1.4\text{ K}\Omega$ 、 $C_1=3.3\text{ nF}$ 、 $C_2=1.8\text{ nF}$ である。

【0044】

制御部 2 b の伝達関数を計算すると以下のような式になる。

【数 6】

$$\frac{24.65s^2 + 1.683 \times 10^7 s + 2.797 \times 10^{12}}{s^2 + 5.052 \times 10^6 s + 6.504 \times 10^9} \quad (5)$$

一方、LCフィルタ部 1 b と電力変換部 3 を合わせた制御対象の伝達関数を計算すると以下のような式になる。

【数 7】

$$\frac{\frac{RcRo}{L(Rc+Ro)}Kp s + \frac{Ro}{LC(Rc+Ro)}Kp}{s^2 + \left\{ \frac{1}{C(Rc+Ro)} + \frac{RcRo}{L(Rc+Ro)} \right\} s + \frac{Ro}{LC(Rc+Ro)}} \quad (6)$$

$$\frac{6661.3s + 3.543 \times 10^{11}}{s^2 + 4.32 \times 10^4 s + 3.54 \times 10^{10}} \quad (7)$$

【0045】

(7) 式の伝達関数をボード線図で表すと図 18 のようになる。図 18 の上段に表されたゲインの周波数特性については図 9 のゲイン周波数特性と大きな差は無い。図 18 の下段に表された位相の周波数特性については、上で述べたように抵抗 Rc が高周波帯域において位相進み補償として作用するため、およそ $4 \times 10^5 \text{ Hz}$ から徐々に位相が進み始める。一方 (5) 式の伝達関数をボード線図で表すと図 19 のようになる。図 10 と比較すると、低周波帯域においてゲインが減少しており、位相のカーブの形状が若干異なるが、ほぼ同様の周波数特性を表している。

【0046】

(5) 式の伝達関数と (7) 式の伝達関数を掛け合わせた一巡伝達関数のボード線図を図 20 に示す。図 20 の上段のゲインの周波数特性においては、図 12 と同様にゲインが急激に減少する周波数帯域の部分 1401 が設けられている。また、図 20 の下段の位相の周波数特性においては、図 12 と同様に、LC フィルタ部 1 b の共振周波数より高い周波数帯域において、最も位相が遅れる周波数

を含むトラップポイント1402が設けられている。但し、図12では最も位相が遅れる周波数では -180° を下回るようになっていたが、図20では -180° に達していない。これは図20で示される一巡伝達関数が(5)式の伝達関数と(7)式の伝達関数を掛け合わせるにより計算されているためであって、電源装置20の全ての遅れ要素を勘案すれば、位相が -180° を下回る周波数が存在する可能性がある。

【0047】

トラップポイント1402ではゲインは0dBを超えており、トラップポイント1402以降では位相は -180° を下回ること無いため、ゲイン余裕は確保されていない。位相が最も遅れる周波数以降は一旦PIDの微分(D)要素により位相は進み、ゲインが0dBとなるゲイン交差周波数では、およそ 50° の位相余裕が確保されている。ゲイン交差周波数以降では、制御部2bの伝達関数によれば位相は再度遅れるようになるが、抵抗 R_c の位相進み補償が作用するためにおよそ $2 \times 10^6 \text{ Hz}$ から進み始める。

【0048】

このように本実施の形態でも実施の形態1と同様に、PIDの積分(I)要素をLCフィルタ部1bの共振周波数よりも高周波帯域まで適用するため、トラップポイント1402が生成される。このトラップポイント1402では、まだゲインは0dBを超える状態で、さらに高傾斜化されているので、高速応答性が実現される。また、ゲイン交差周波数では、位相余裕が確保されているので、ゲイン余裕は無くとも安定性に問題はない。図20のような位相及びゲインの周波数特性を実現するように制御部2bが設計されると、従来に比して安定性を保持しつつ、高速応答性を向上させることができる。なお、決定しなければならない回路定数の数は多くはないので、設計がしやすいという利点もある。

【0049】

なお、電力変換部3の動作については実施の形態1と同じであり、入力電圧 V_i に変動が生じて、LCフィルタ部1bへの出力電圧とオン時間の積を一定にするような動作を行うため、LCフィルタ部1bと制御部2bと電力変換部3の伝達関数から計算される一巡伝達関数の周波数特性としては入力変動の影響を受

けないようになっている。

【0 0 5 0】

[実施の形態 3]

実施の形態 1 及び 2 では、回路定数は違うが、制御部 2 と制御部 2 b とで抵抗及びキャパシタの個数及び接続関係は変わらなかった。実施の形態 3 では、制御部 2 に図 2 1 に示すような回路を採用するものである。

【0 0 5 1】

すなわち、図 5 に示した制御部 2 又は制御部 2 b における抵抗 R 3 を取りはずした回路である。より具体的には、制御部 2 c は、抵抗 R 1、R 2 及び R 4 と、キャパシタ C 1 及び C 2 と、増幅器 2 1 と、基準電圧電源 2 2 とを含む。抵抗 R 1 及びキャパシタ C 1 は、LC フィルタ部 1 の負荷 R_o の正極側の端子に接続されている。キャパシタ C 1 と抵抗 R 2 は直列に接続されており、キャパシタ C 1 及び抵抗 R 2 は抵抗 R 1 と並列に接続されている。従って、その一端がキャパシタ C 1 と接続している抵抗 R 1 の他端は、抵抗 R 2 に接続されている。抵抗 R 1 及び R 2 は、増幅器 2 1 の負極側入力端子に接続されており、さらにキャパシタ C 2 に接続されている。キャパシタ C 2 と抵抗 R 4 は直列に接続されている。また、抵抗 R 4 は増幅器 2 1 の出力端子に接続されている。増幅器 2 1 の正極側の入力端子は基準電圧電源 2 2 の正極側端子に接続されており、基準電圧電源 2 2 の負極側端子は接地されている。増幅器 2 1 の出力はコンパレータ 3 1 の負極側入力端子に接続される。

【0 0 5 2】

このような制御部 2 c の伝達関数は、基本的には (2) 式のとおりであって、 N_0 、 N_1 、 N_2 、 D_0 及び D_1 は、抵抗 R 1、R 2 及び R 4 及びキャパシタ C 1 及び C 2 で以下のとおり表される。

【数 8】

$$N_0 = \frac{1}{R_1 R_2 C_1 C_2}$$

$$N_1 = \frac{R_1 C_1 + R_2 C_1 + R_4 C_2}{R_1 R_2 C_1 C_2}$$

$$N_2 = \frac{R_4 (R_1 + R_2)}{R_1 R_2}$$

$$D_0 = 0$$

$$D_1 = \frac{1}{R_2 C_1}$$

【0 0 5 3】

また、回路定数などを図 2 2 のように設定するものとする。すなわち、入力電圧 $V_i = 8.0 \text{ V}$ 、出力電圧 $V_o = 2.5 \text{ V}$ 、チョークコイル L のインダクタンス $L = 3 \mu\text{H}$ 、キャパシタ C のキャパシタンス $C = 9.4 \mu\text{F}$ 、負荷抵抗 $R_o = 2.5 \Omega$ 、電力変換部 3 のゲイン $K_p = 22 \text{ dB}$ 、 $R_1 = 10 \text{ K}\Omega$ 、 $R_2 = 940 \Omega$ 、 $R_4 = 14 \text{ K}\Omega$ 、 $C_1 = 230 \text{ pF}$ 、 $C_2 = 200 \text{ pF}$ である。

【0 0 5 4】

図 2 2 の回路定数及び N_0 、 N_1 、 N_2 、 D_0 及び D_1 、並びに (3) 式及び (1) 式から、一巡伝達関数を計算すると以下ようになる。尚、 D_0 は 0 である。

【数 9】

$$\frac{16.29s^2 + 1.229 \times 10^7 s + 2.313 \times 10^{12}}{s^2 + 4.625 \times 10^6 s} \quad (8)$$

【0 0 5 5】

この一巡伝達関数 (8) 式をボード線図で表すと図 2 3 のようになる。図 2 0 の上段のゲインの周波数特性においては、図 1 2 と同様にゲインが急激に減少する周波数帯域の部分 1 5 0 1 が設けられている。また、図 2 3 の下段の位相の周波数特性においては、図 1 2 と同様に、LC フィルタ部 1 の共振周波数より高い

周波数帯域において、最も位相が遅れる周波数を含むトラップポイント1502が設けられている。

【0056】

トラップポイント1502ではゲインは0 dBを超えており、トラップポイント1502以降では位相は -180° を下回ることはいないので、ゲイン余裕は確保されていない。位相が最も遅れる周波数以降は一旦PIDの微分(D)要素により位相は進み、ゲインが0 dBとなるゲイン交差周波数では、およそ 50° の位相余裕が確保されている。ゲイン交差周波数以降では、制御部2cの伝達関数によれば位相は再度遅れるようになる。

上でも述べたが、電力変換部3は、制御部2cとは独立に動作し、その動作内容については第1の実施の形態において説明したのと同様である。

【0057】

但し、電力変換部3は、第1の実施の形態において述べたような、三角波の傾斜を入力電圧 V_i に応じて変化させる回路ではなくともよい。例えば、 $K_p = V_i / V_p$ (V_p は三角波のピーク電圧)であるから、入力電圧 V_i が高くなった場合に V_p も同じように高くすれば K_p は一定となる。図24に一例を示す。縦軸は電圧[V]を表し、横軸は時間[t]を表す。三角波のピーク電圧 V_p は入力電圧 V_i が上昇したので V_p' に上昇する。但し、三角波の周期は変わらないので、三角波の傾斜が大きくなるのと同様の効果が出る。すなわち、従前の入力電圧 V_i においては三角波の電圧 V_c は図24に示すように変化するが、入力電圧 V_i から入力電圧 V_i' に上昇すると三角波の電圧は V_c' のように変化する。よって、制御部2の出力 V_e が同じであっても、従前の三角波の電圧 V_c が V_e 以下となる時間1600より、ピーク電圧が上昇した後の三角波の電圧 V_c' が V_e 以下となる時間1601は短くなる。従って、入力電圧 V_i が上昇するとLCフィルタ部1への入力電圧も V から V' に上昇するが、MOSFET35のオンの時間は短くなるので、 VT 積一定が保たれるようになる。このように三角波のピーク電圧を入力電圧 V_i に応じて変化させる回路を使用しても同様の効果を得ることができるようになる。

【0058】

なお、 $K_p = V_i / V_p$ となるのは、MOSFET 35がオンとなる時比率 d は $d = V_e / V_p$ であるから、 $d \cdot V_i = K_p \cdot V_e$ と表され、 $K_p = d \cdot V_i / V_e = V_i / V_p$ となるためである。なお、 V_p は上限値 V_{pmax} —下限値 V_{pmin} の値でよい。

【0059】

以上本発明の実施の形態を説明したが、本発明の回路定数は実施の形態 1 乃至 3 に示したもののだけに限定されるものではなく、上で述べた特徴を実現できればどのような数値の組み合わせであっても良い。

【0060】

また、電力変換部 3 の構成は上で述べたような構成に限定されず、例えば特開昭 59-144364 号記載の技術を用いても良い。すなわち、入力電圧をオン・オフするスイッチと、スイッチによりオン・オフされる信号を LC フィルタで平滑して出力電圧を得るスイッチング電源回路と、スイッチング電源回路の LC フィルタ中のインダクタの電流を検出する電流検出回路と、スイッチング電源回路の出力電圧を検出する電圧検出回路と、電流検出回路及び電圧検出回路の出力を受け、スイッチのオン・オフ時間を制御するパルス巾変調回路とを備える。このように電圧検出回路により検出された出力電圧をパルス巾変調回路に帰還すると共に、電流検出回路により検出された電流に対応する信号も帰還するので、入力電圧変動の影響を抑圧するものである。

【0061】

さらに、電力変換部 3 の構成には、例えば特許 3161839 号記載の技術を用いても良い。すなわち、スイッチング素子およびインダクタを含みスイッチング素子のオン期間にインダクタに蓄積したエネルギーをスイッチング素子のオフ期間に出力側に放出させることにより直流電圧変換を行うチョッパ回路よりなる主回路と、スイッチング素子をオン・オフ制御する制御回路とを備える。そして、制御回路は、主回路の出力電圧に比例した検出電圧と設定電圧との差分を誤差電圧として出力する誤差検出部と、スイッチング素子のオンに伴って所定の時定数で充電が開始されるコンデンサの両端電圧が誤差電圧に達するとスイッチング素子をオフにするとともにコンデンサを放電させ、インダクタの蓄積エネルギーが

規定値以下まで放出されたことを検出するとスイッチング素子をオンにする判定制御部と、入力電圧の変動に対して主回路の出力電圧を一定に保つように入力電圧が上昇すると上記時定数を小さくする方向に調節するオン時間調節部とを具備するものである。

【0062】

さらに、電力変換部3の構成には、例えば特開2002-252979号記載の技術を用いても良い。すなわち、スイッチング素子のON幅信号により出力電圧を制御するスイッチング電源において、ON幅を決定するPWMコンパレータと、周波数一定、且つ入力電圧により三角波の傾斜が可変する発振器と、当該出力電圧と基準電圧の差を増幅する誤差増幅器とを備え、PWMコンパレータは発振器の出力波形と誤差増幅器の出力とを比較してON幅信号を形成するものである。

【0063】

さらに、電力変換部3の構成には、例えば米国特許5278490号記載の技術を用いても良い。すなわち、この特許のスイッチング回路は、入力ノード、出力ノード、参照ノード、スイッチ、及び出力ノードでチョップされた信号を生成するために下辺スイッチデューティレシオの一連のサイクルで上記スイッチを循環させるためのフィードバック制御回路を含んでいる。フィードバック制御回路の1の形態は、それぞれのサイクルの間におけるチョップされた信号の平均値を表すフィードバック信号を生成するために、各サイクルの間、チョップされた信号を積分する。比較回路は、フィードバック信号のレベルが参照信号のレベルと等しいという状態の発生を表すコントロール信号を生成し、スイッチ制御回路は、参照信号に線形に関係するチョップされた信号の平均値を維持するために、上記状態の発生に従ってスイッチデューティレシオを変化させる。フィードバック制御回路の別の形態は、各サイクル間におけるチョップされた信号の時間積分値と参照ノードに結合された参照信号の時間積分値との差を表すフィードバック信号を生成する。比較回路は、チョップされた信号の時間積分値と参照信号の時間積分値との差がゼロであるという状態の発生を表すコントロール信号を生成し、その状態の発生に従って、スイッチ制御回路は積分器リセットなしでスイッチデ

ューティレシオを変化させる。

【0064】

さらに、電力変換部3の構成には、例えば米国特許5055767号記載の技術を用いても良い。すなわち、スイッチング電圧レギュレータ回路は、当該スイッチング電圧レギュレータ回路のための入力電圧のソースに接続するための入力と、電流スイッチング手段と、当該電流スイッチング手段のオン及びオフのスイッチング周波数を制御するためのオシレータ手段とを含み、さらにフィードバックループにおいて誤差アンプ手段を含む。そしてスイッチング電圧レギュレータ回路においてフィードバックループを実装する際に使用される積分回路は、電流スイッチング手段のオン及びオフのスイッチング・デューティサイクルを制御するための信号を出力するアナログ・マルチプライヤ手段を有している。この出力信号は、スイッチング電圧レギュレータ回路の入力電圧の大きさにより分割された、誤差アンプ手段からの誤差信号の大きさに等しい値からの変化と共に直ぐに且つ実質的に比例して変化する大きさを有するものである。

【0065】

なお、このような5つの公報には、いずれも本発明のトラップポイントに相当する周波数特性を示しておらず、応答性を向上させるためにトラップポイントを形成した場合、入力変動が安定性に影響するという特有の着想がないため、本発明を動機付けるものではない。

【0066】

【発明の効果】

以上の述べたように、本発明によれば、実用性の高い構成で高速応答を実現するのに有効な電源装置を提供することができる。

【図面の簡単な説明】

【図1】

前提となる一巡伝達関数のボード線図を示す図である。

【図2】

負荷変動の際における一巡伝達関数の周波数特性の変動を表すためのボード線図である。

【図 3】

入力変動の際における一巡伝達関数の周波数特性の変動を表すためのボード線図である。

【図 4】

前提となるブロック線図である。

【図 5】

本発明の実施の形態 1 における電源装置の回路構成を示す図である。

【図 6】

本発明の実施の形態 1 における制御部の回路定数を表すテーブルである。

【図 7】

本発明の実施の形態 1 及び 2 における回路 1 0 及び 2 0 の回路定数を表すテーブルである。

【図 8】

本発明の実施の形態 1 乃至 3 におけるブロック線図を示す図である。

【図 9】

本発明の実施の形態 1 における制御対象たる L C フィルタ部及び電力変換部の伝達関数のボード線図である。

【図 1 0】

本発明の実施の形態 1 における制御部の伝達関数のボード線図である。

【図 1 1】

本発明の実施の形態 1 における制御対象たる L C フィルタ部及び電力変換部の伝達関数のボード線図及び制御部の伝達関数のボード線図を重ね合わせた図である。

【図 1 2】

本発明の実施の形態 1 における一巡伝達関数のボード線図である。

【図 1 3】

電力変換部の動作を説明するための波形図である。

【図 1 4】

電力変換部の動作を説明するための波形図である。

【図 1 5】

従来の電力変換部の動作を説明するための波形図である。

【図 1 6】

本発明の実施の形態 2 における電力装置の回路構成を示す図である。

【図 1 7】

本発明の実施の形態 2 における制御部の回路定数を表すテーブルである。

【図 1 8】

本発明の実施の形態 2 における制御対象たる LC フィルタ部及び電力変換部の伝達関数のボード線図である。

【図 1 9】

本発明の実施の形態 2 における制御部の伝達関数のボード線図である。

【図 2 0】

本発明の実施の形態 2 における一巡伝達関数のボード線図である。

【図 2 1】

本発明の実施の形態 3 における制御部の回路構成例を示す図である。

【図 2 2】

本発明の実施の形態 3 における回路定数を表すテーブルである。

【図 2 3】

本発明の実施の形態 3 における一巡伝達関数のボード線図である。

【図 2 4】

電力変換部の他の実施の形態に係る波形図を示す図である。

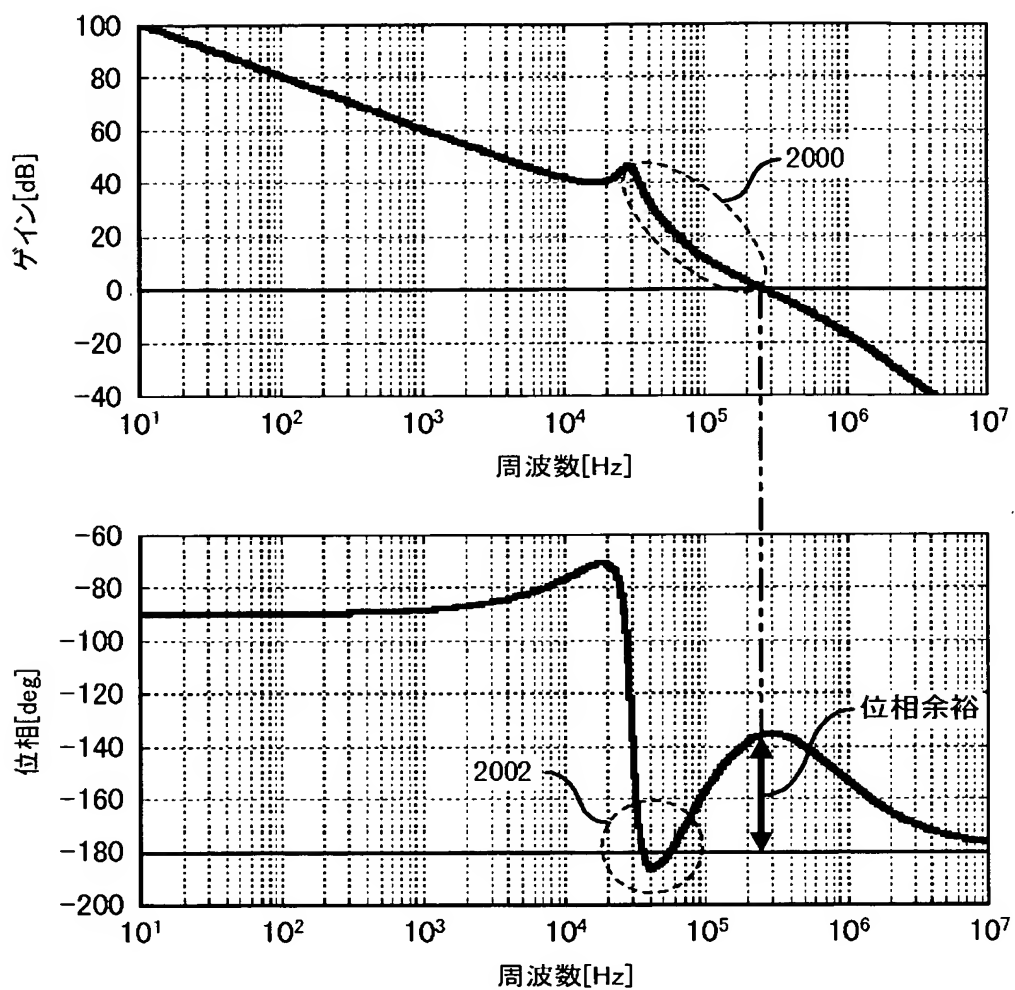
【符号の説明】

- 1, 1 b LC フィルタ部 2, 2 b、2 c 制御部
3 電力変換部 3 4 ダイオード
3 5 MOSFET 3 6 入力電源

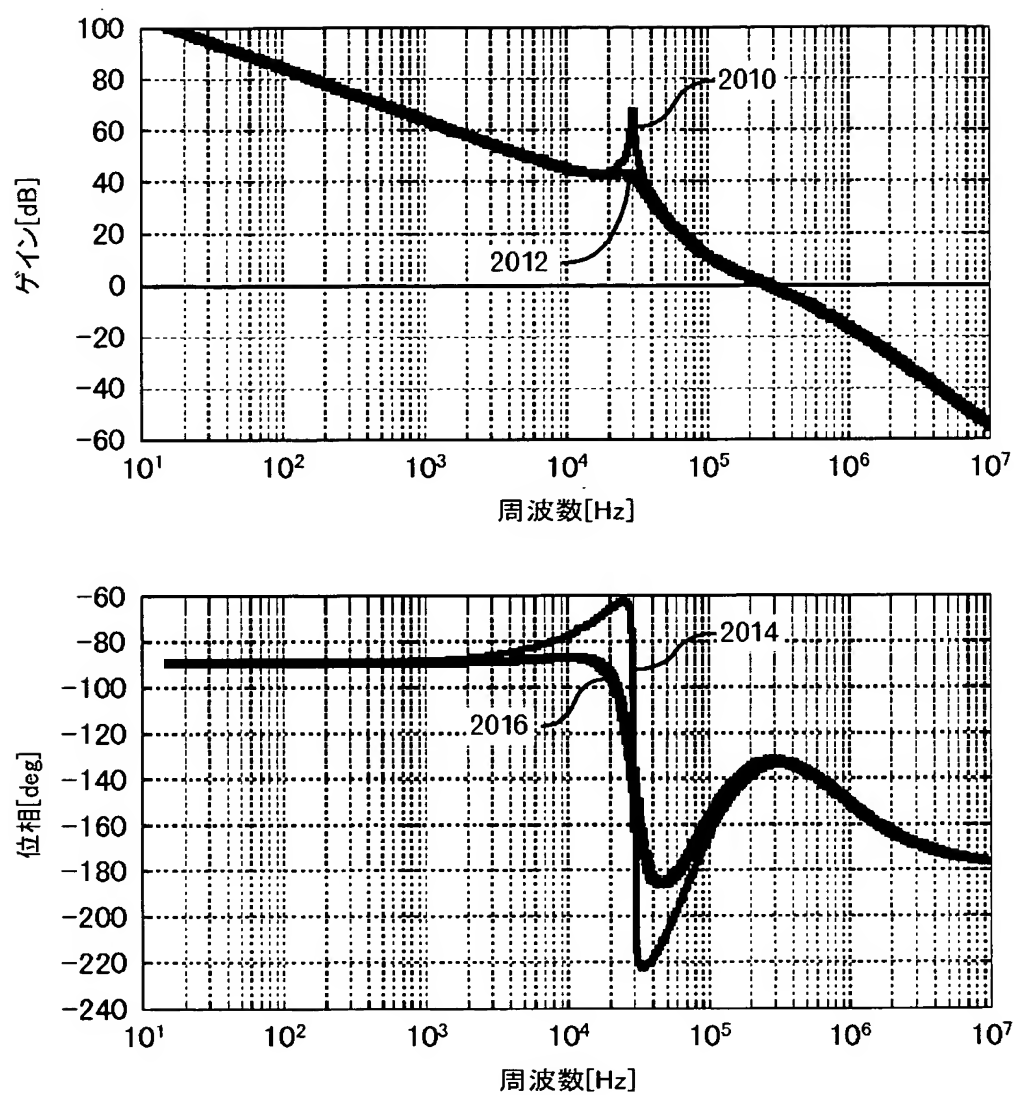
【書類名】

図面

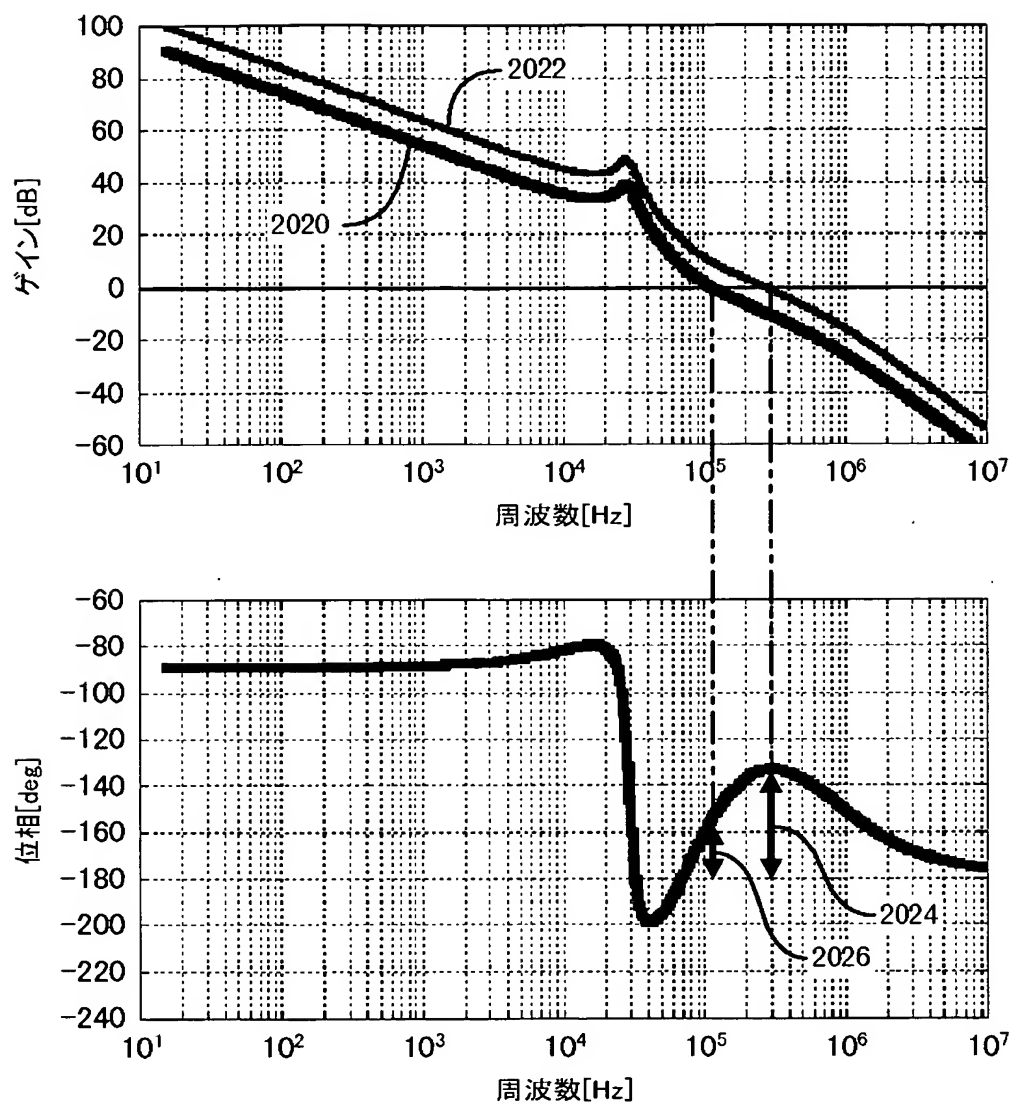
【図 1】



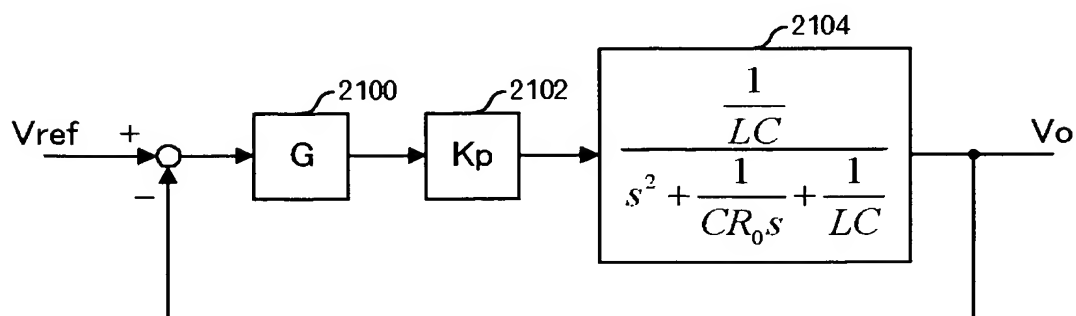
【図 2】



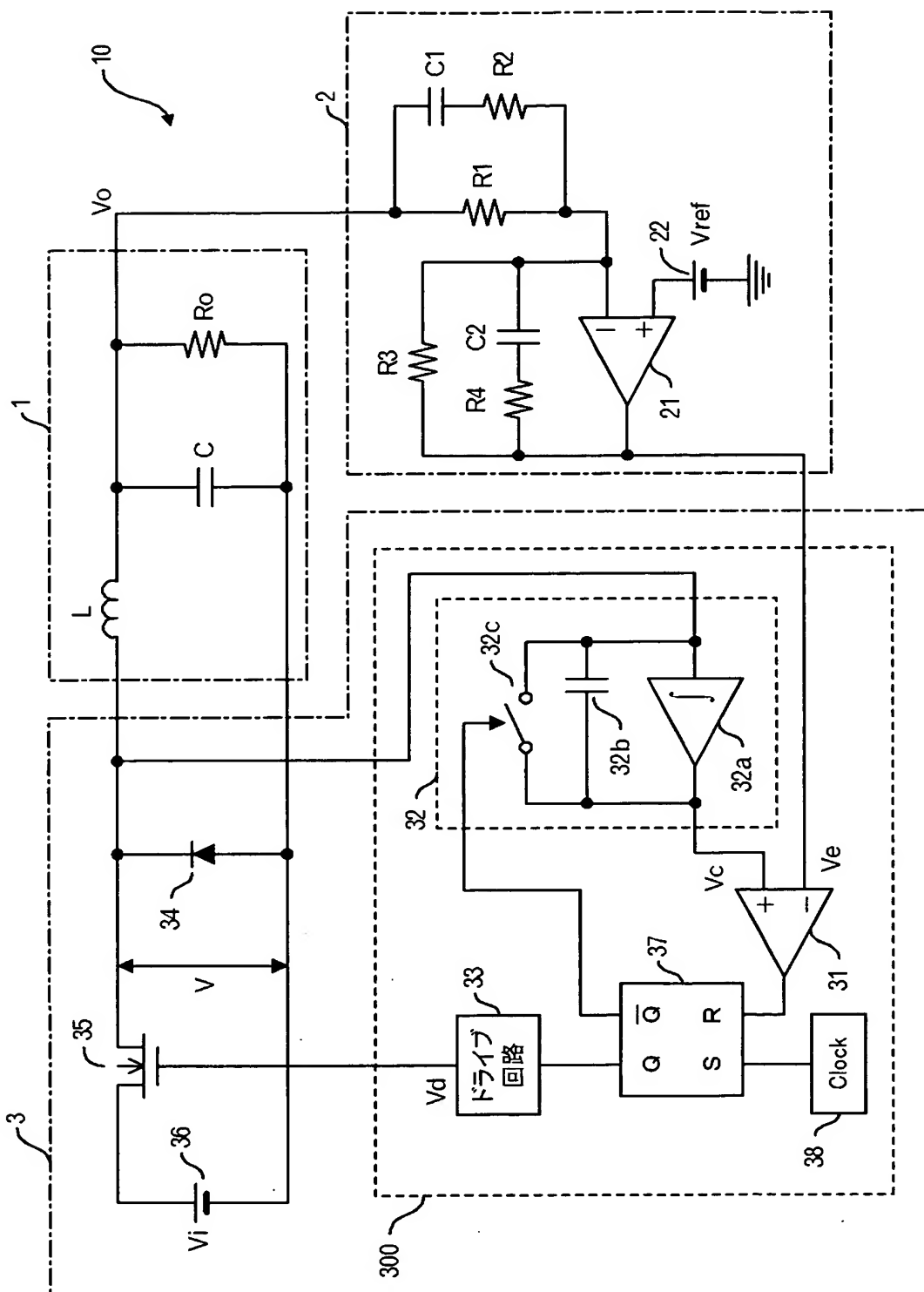
【図 3】



【図 4】



【図 5】



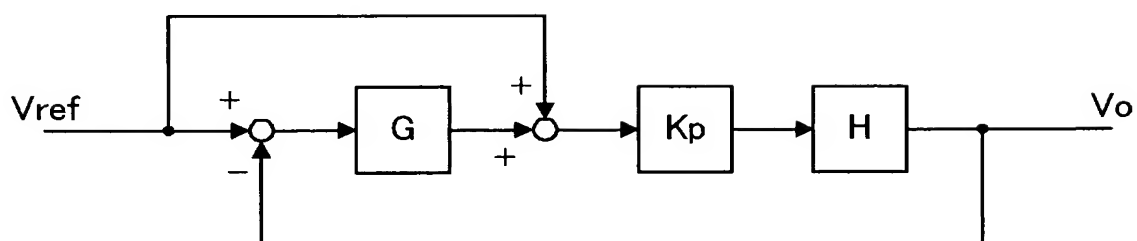
【図 6】

R1	1K Ω
R2	98 Ω
R3	710K Ω
R4	2.2K Ω
C1	2.2nF
C2	1nF

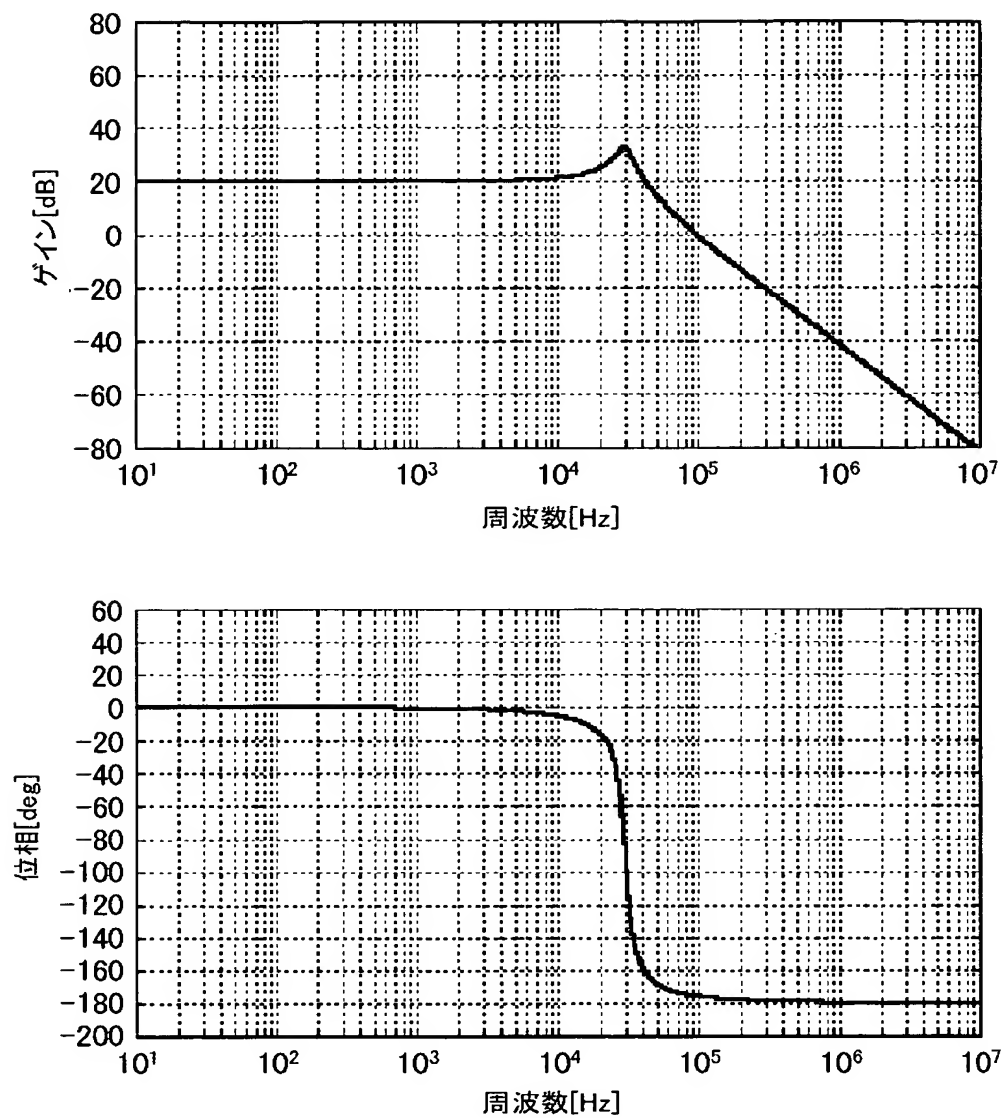
【図 7】

V_i	6V
V_o	2.5V
I_o	1A(max)
L	3 μ H
C	9.4 μ F
R_o	2.5 Ω
V_{ref}	2.5V
K_p	10倍

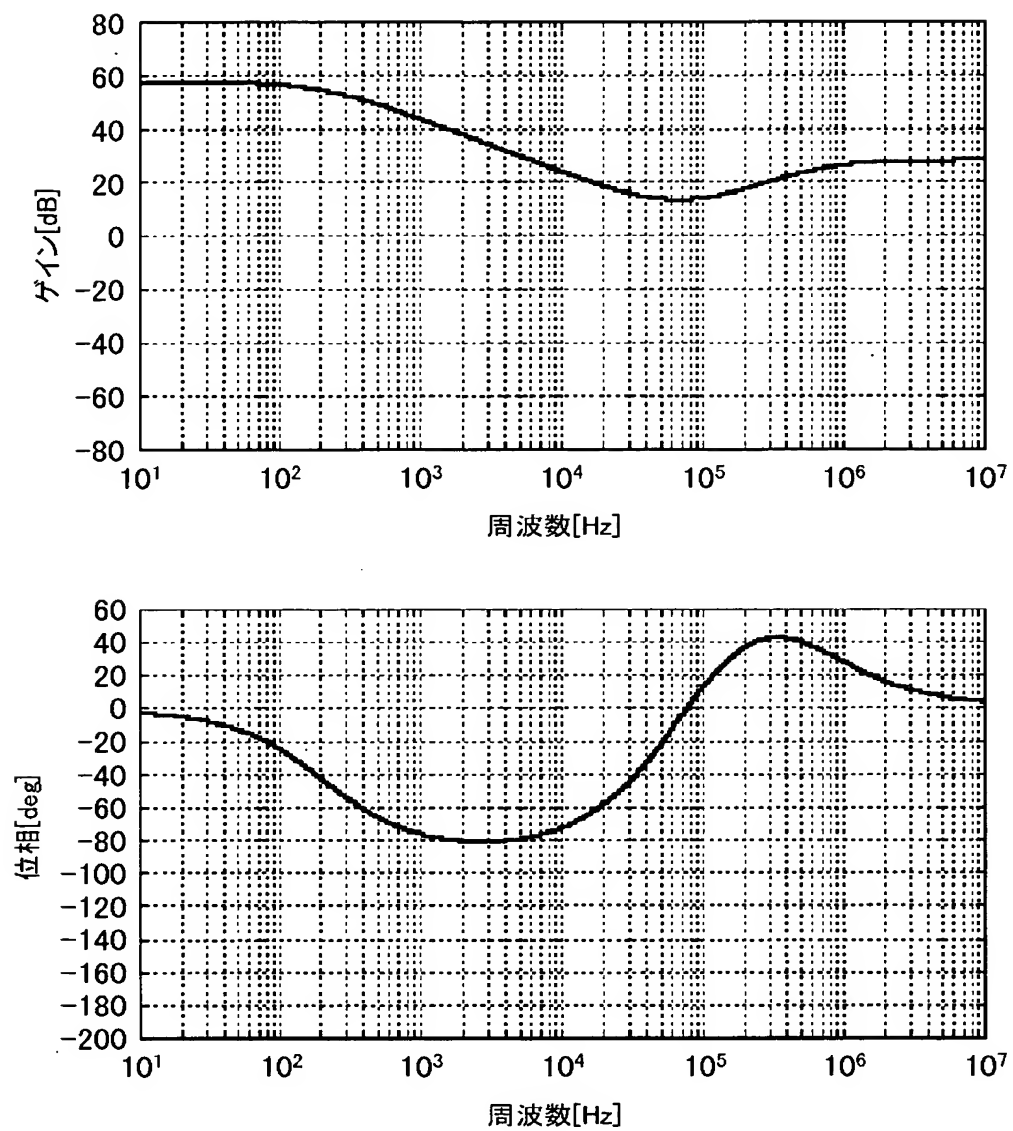
【図 8】



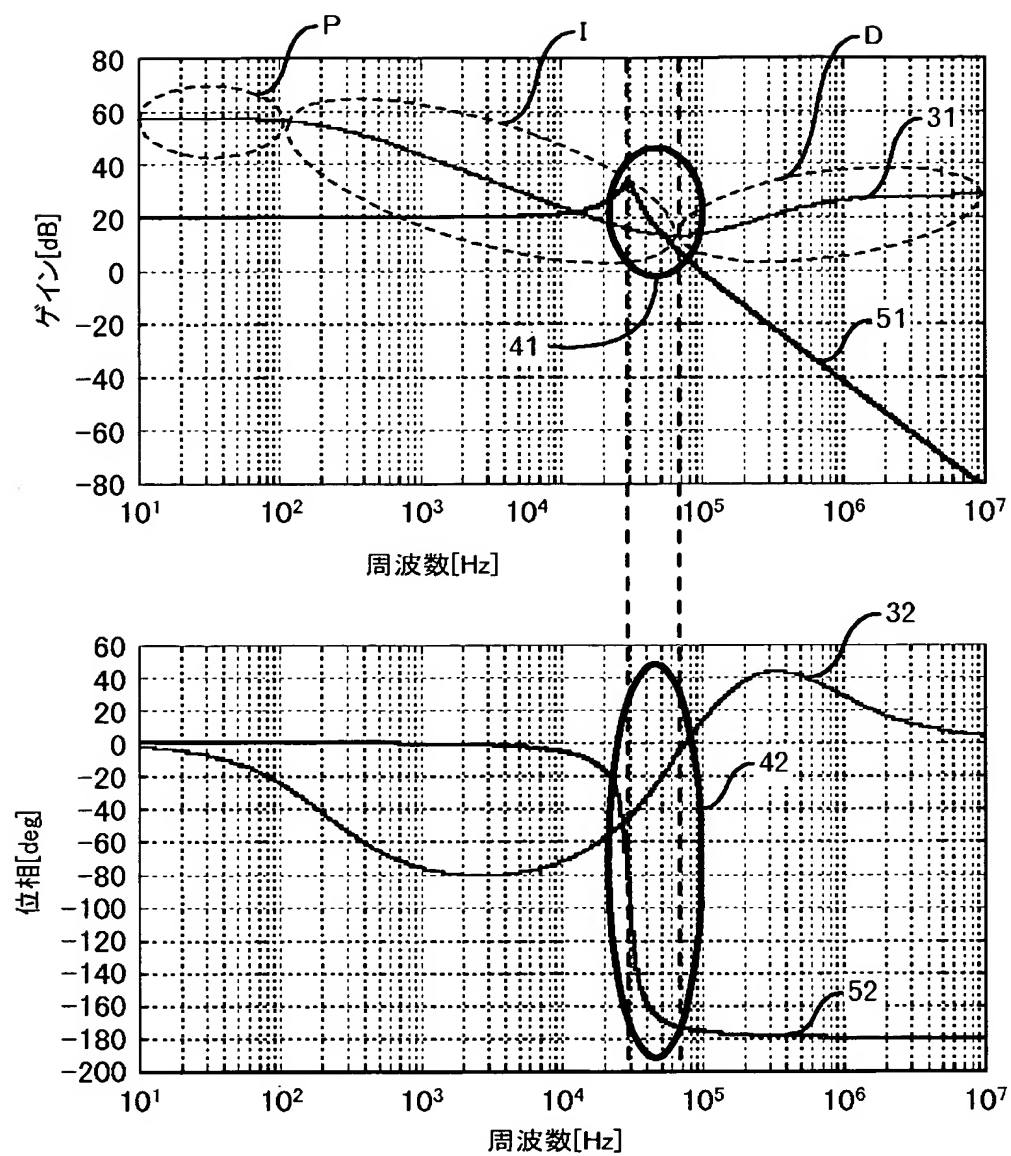
【図 9】



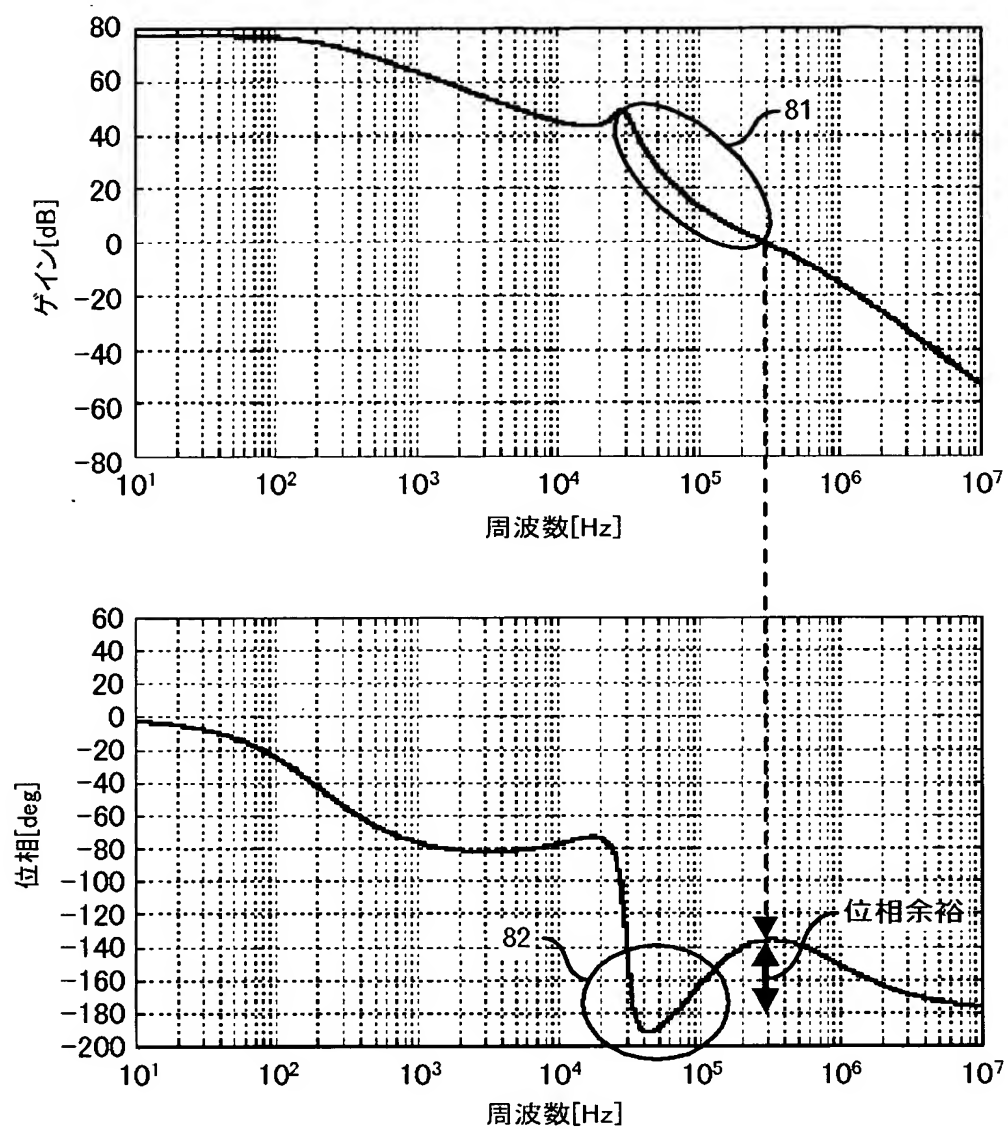
【図 10】



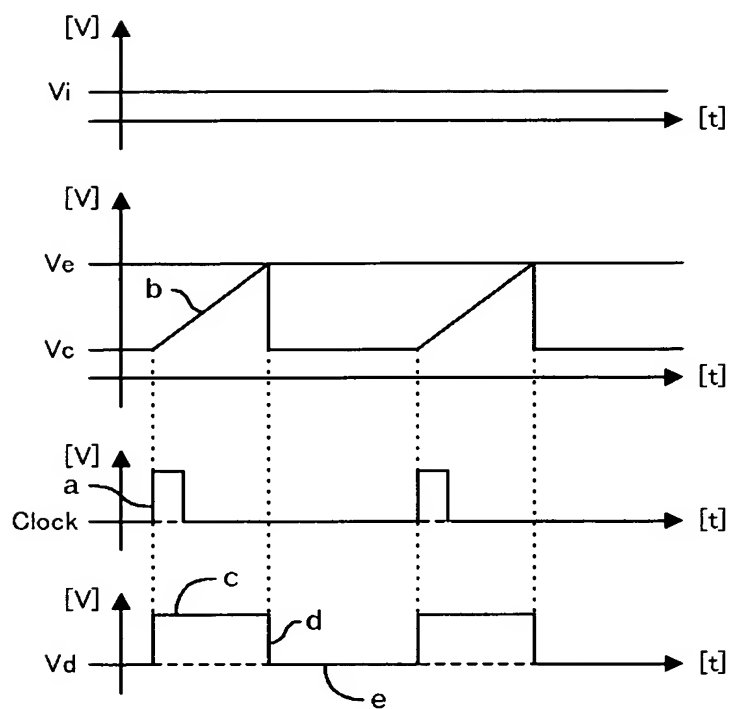
【図 11】



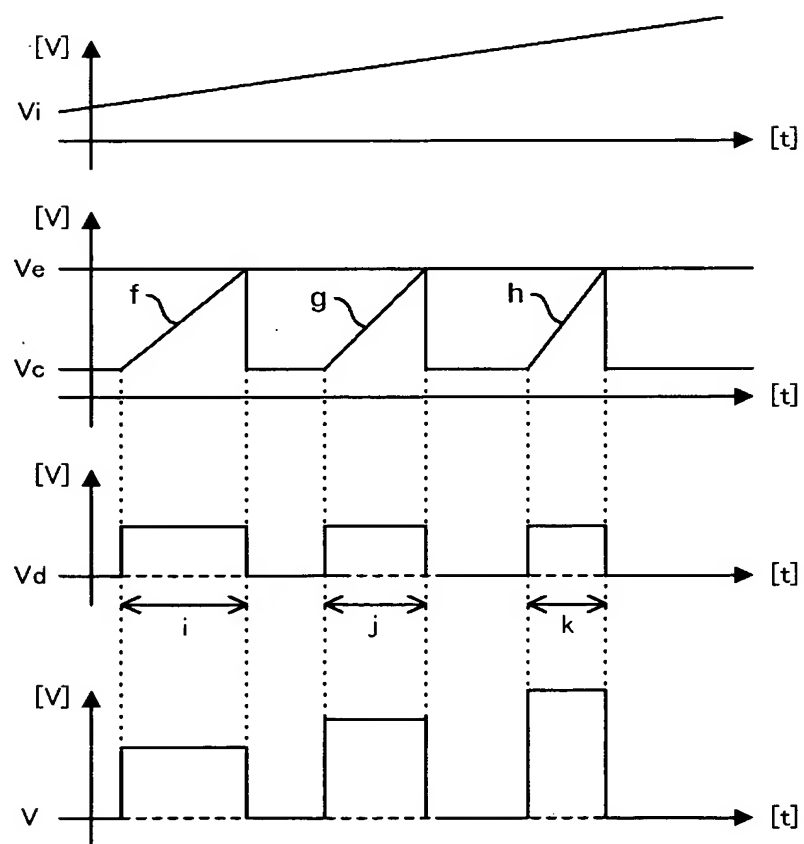
【図 12】



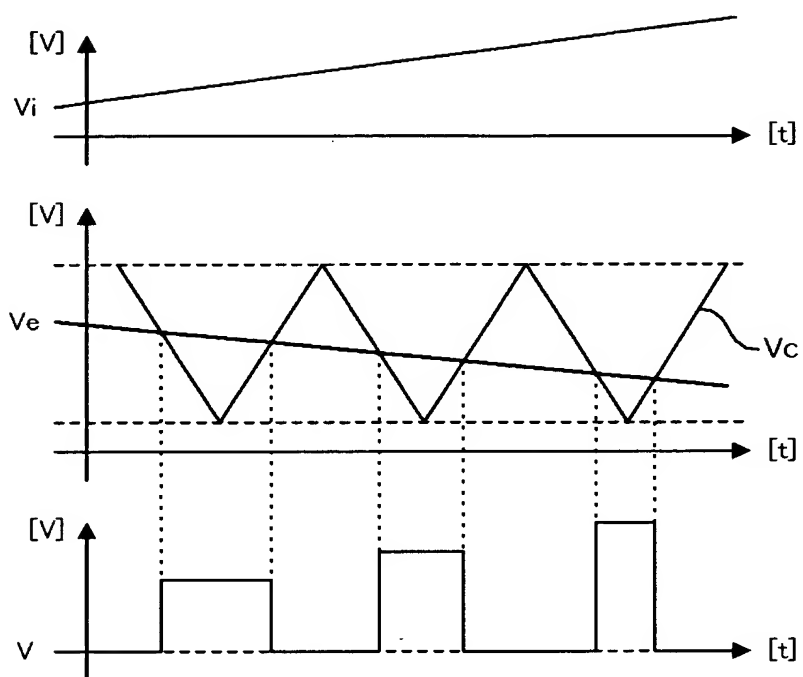
【図 13】



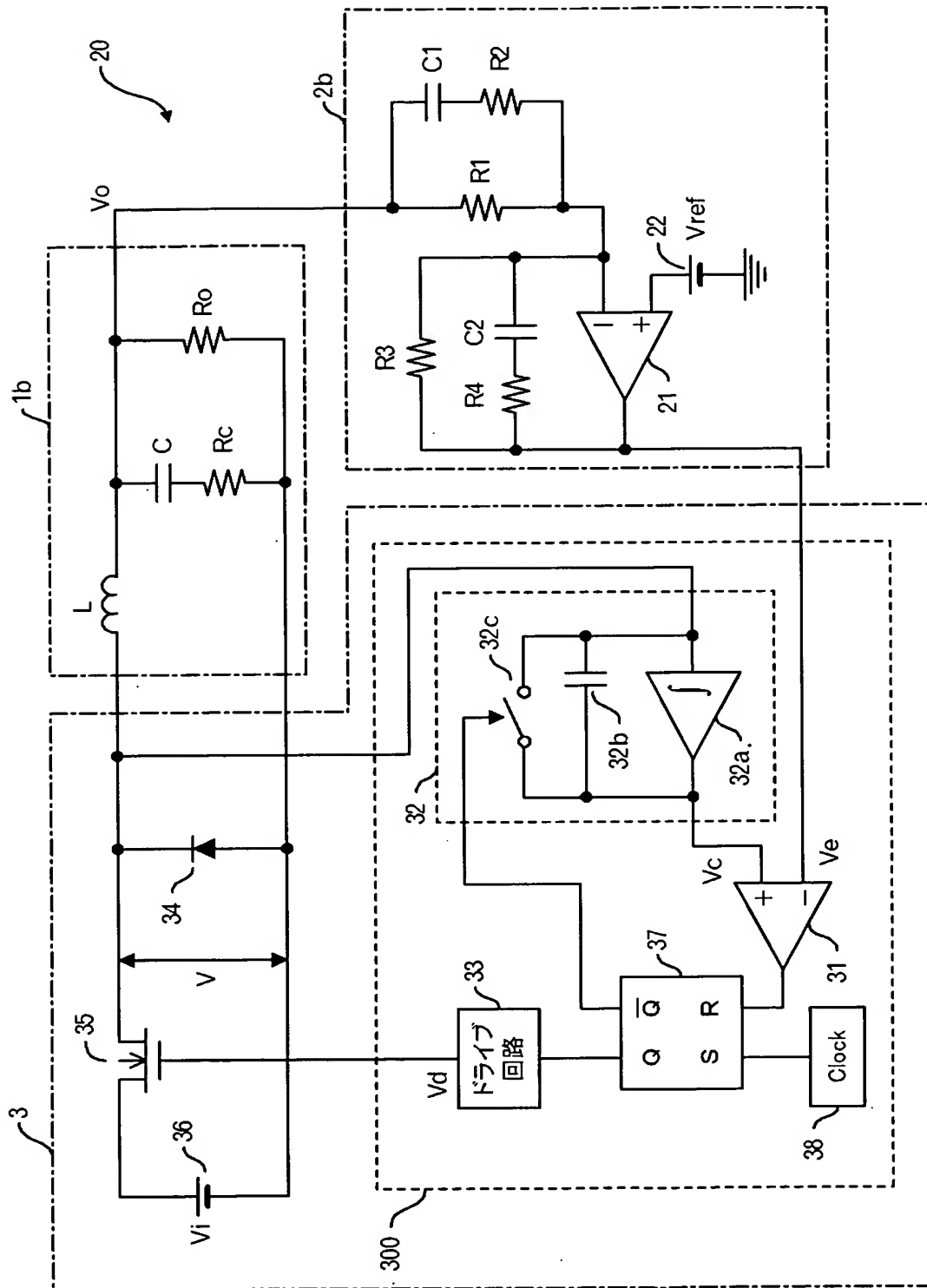
【図 14】



【図 15】



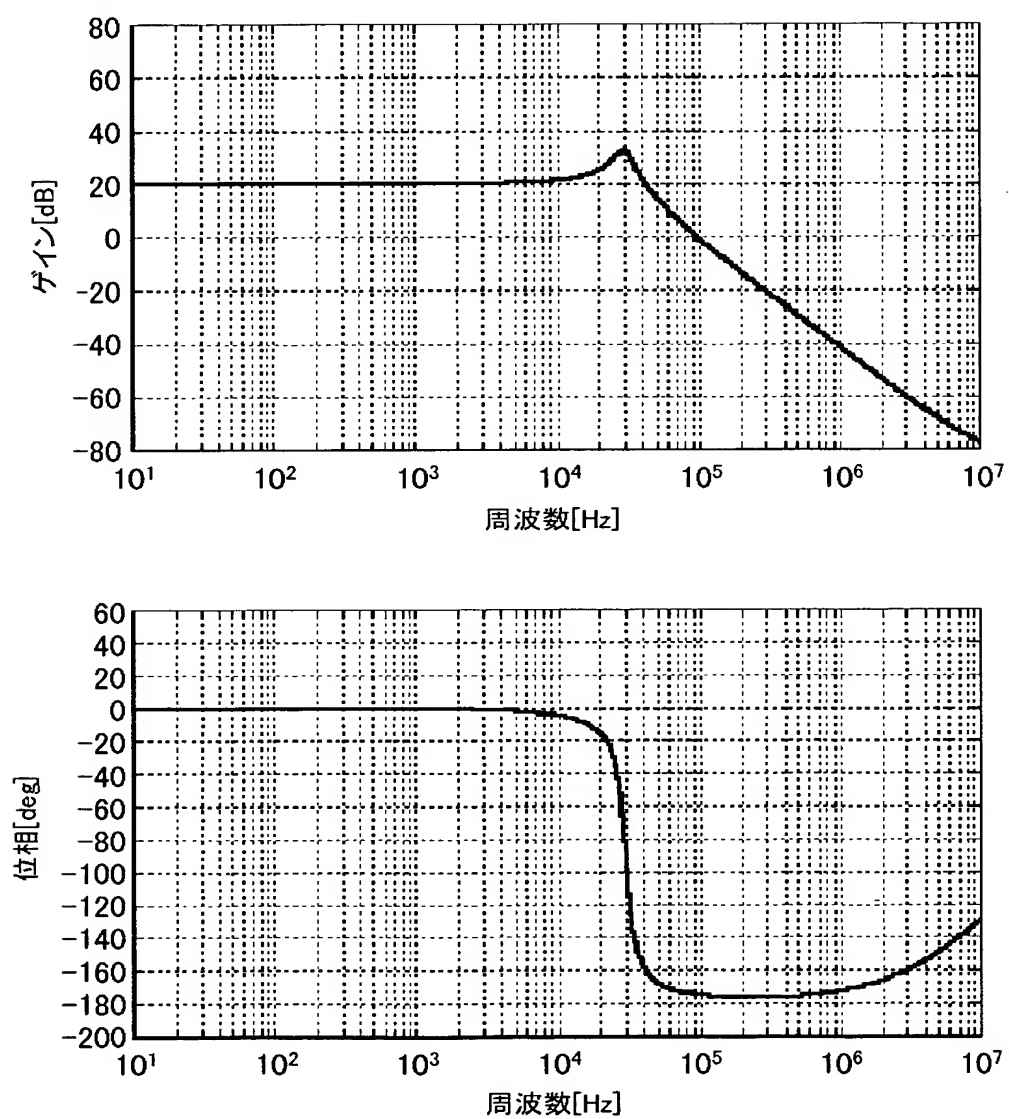
【図 16】



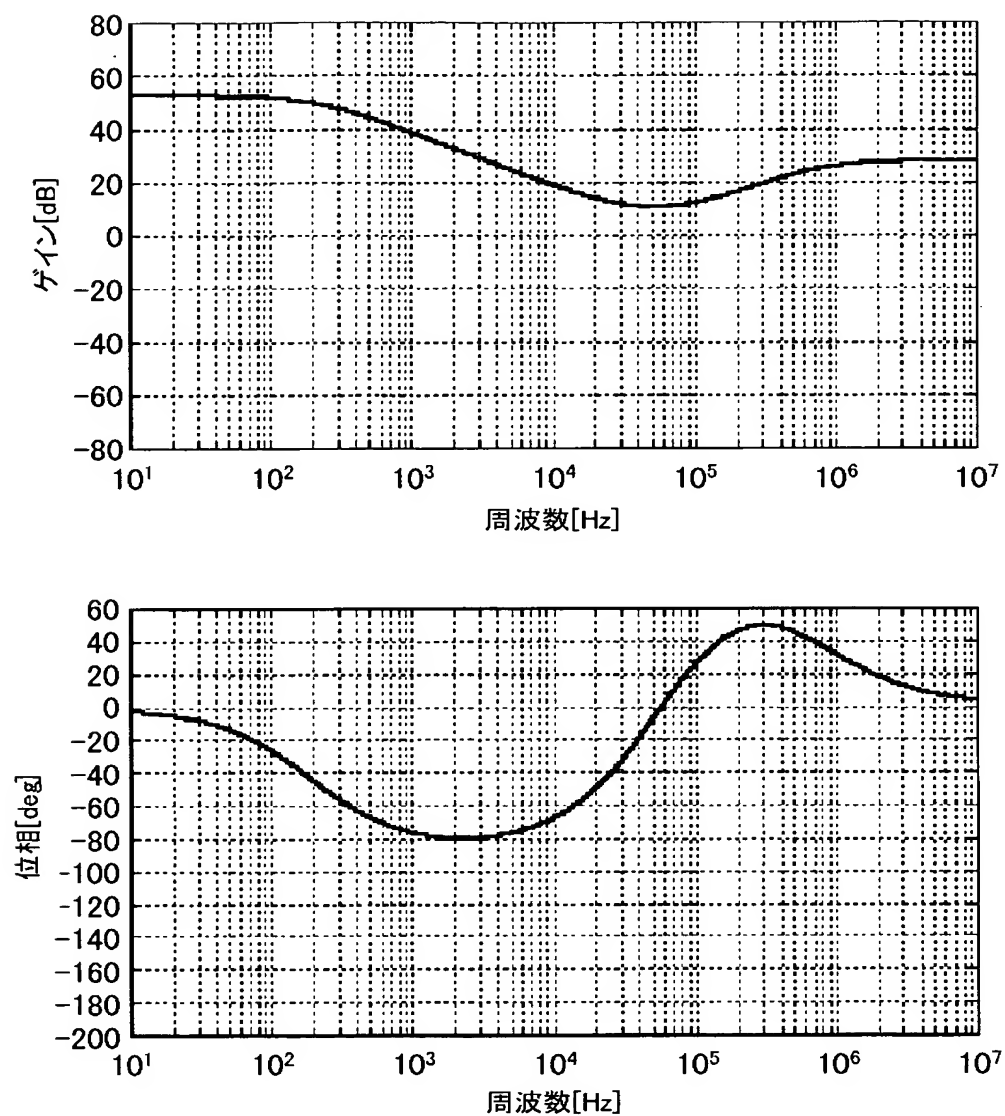
【図 17】

R1	1K Ω
R2	60 Ω
R3	430K Ω
R4	1.4K Ω
C1	3.3nF
C2	1.8nF

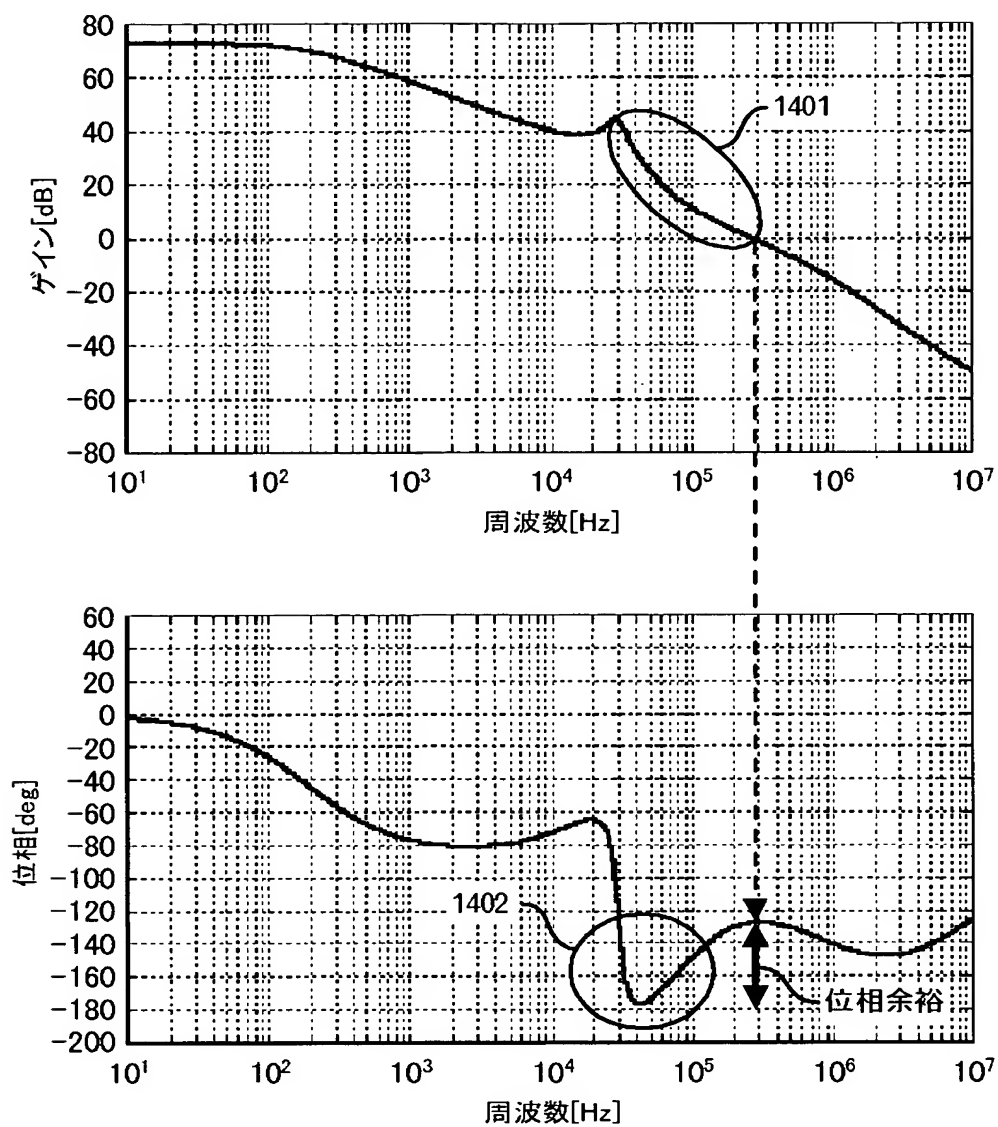
【図 18】



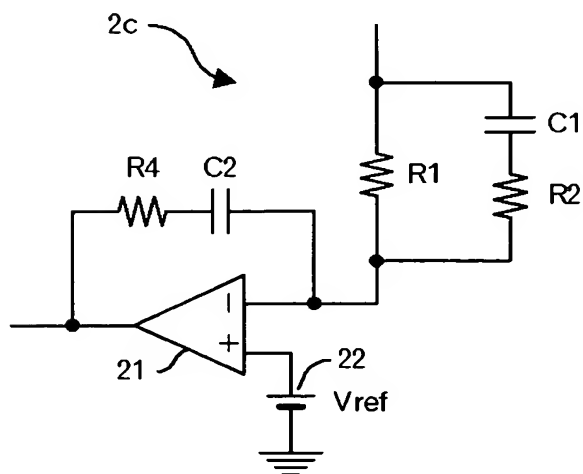
【図 19】



【図 20】



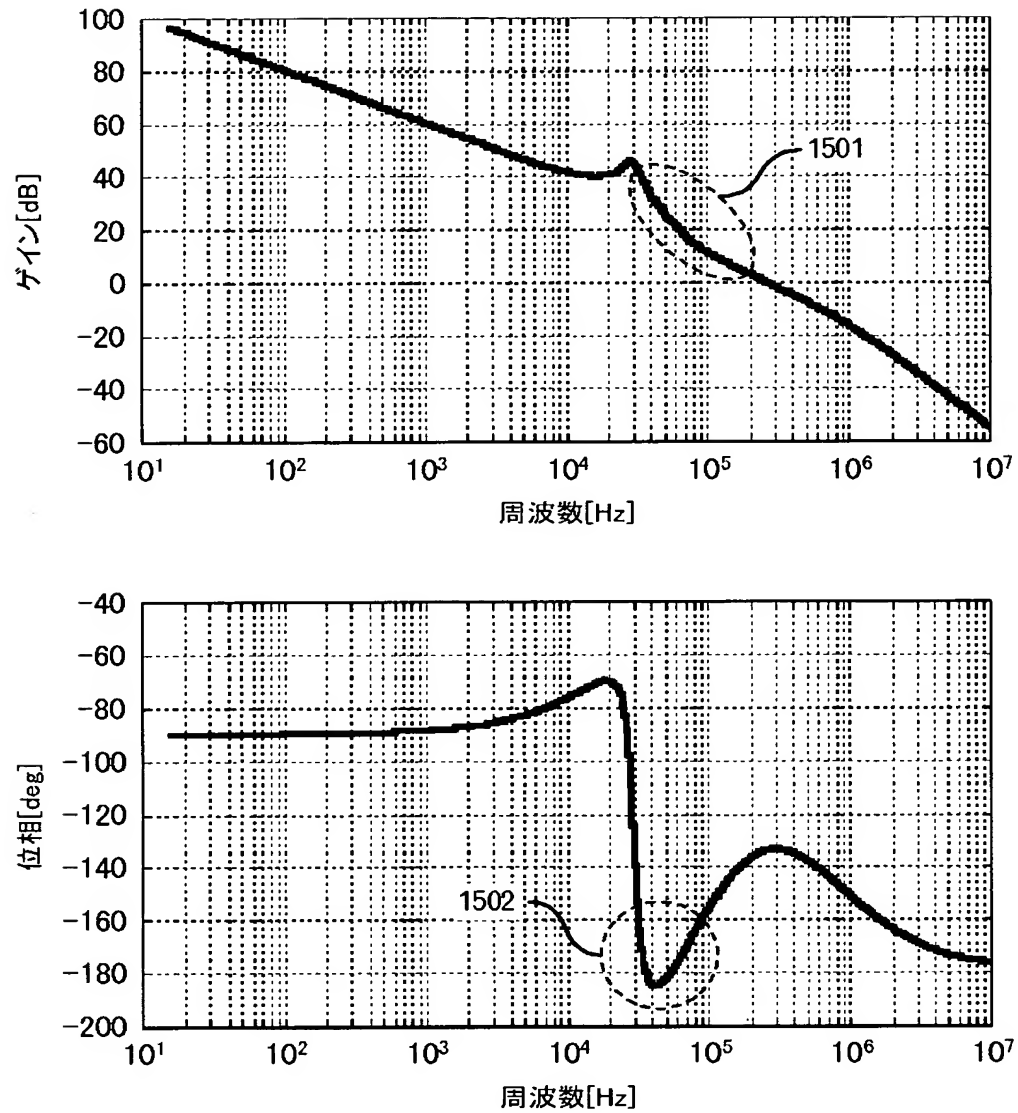
【図 21】



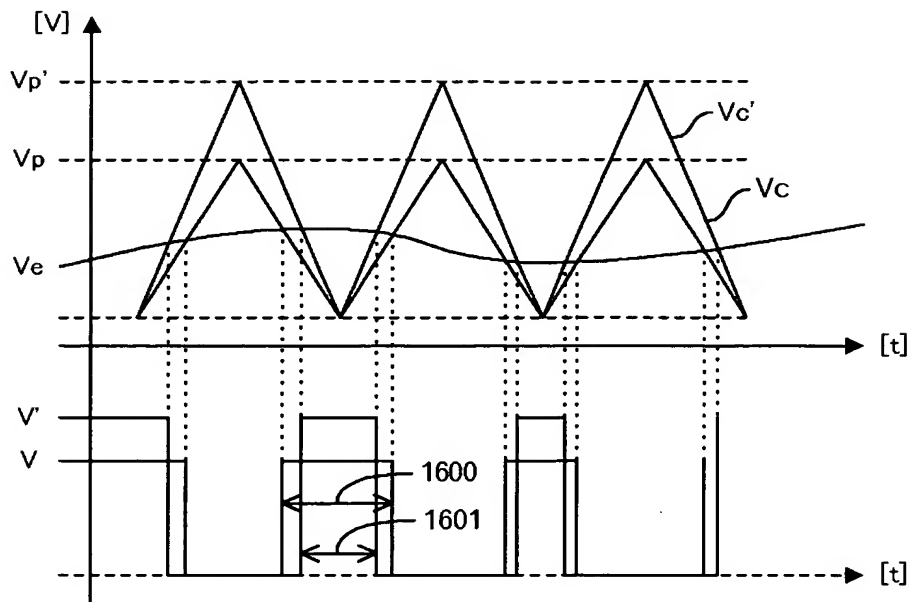
【図 2 2】

V_i	8.0V
V_o	2.5V
L	$3\mu\text{H}$
C	$9.4\mu\text{F}$
R_o	2.5Ω
K_p	22dB
R_1	$10\text{K}\Omega$
R_2	940Ω
R_4	$14\text{K}\Omega$
C_1	230pF
C_2	200pF

【図 23】



【図 2 4】



【書類名】 要約書

【要約】

【課題】

図 1 に示したような一巡伝達関数の周波数特性を実現し、入力変動に対処可能な電源装置を提供する。

【解決手段】

本発明の電源装置の制御部は、その伝達関数の形式は従来と同じであるが各係数の値は異なり、ゲイン余裕を確保することなく位相余裕のみを確保し、ゲインの減少が激しい部分 2 0 0 0 と位相が大幅に遅れる部分 2 0 0 2 とを設けるような伝達関数を実現する回路である。また、入力変動に対して安定性を確保するため、出力の電圧時間積が一定になるように入力直流電源からの入力電圧を変換する電力変換回路を用いている。

【選択図】 図 1

特願 2 0 0 3 - 1 3 5 6 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 0 4 2 8 4]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都台東区上野 6 丁目 1 6 番 2 0 号

氏 名

太陽誘電株式会社